集積回路設計　第7回目　講義資料

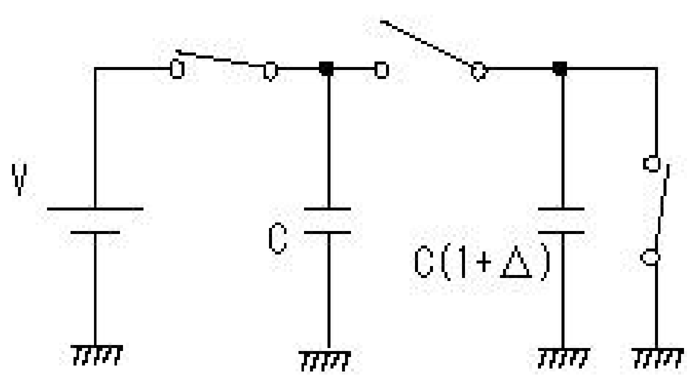
杉本　泰博

演習7.1（アナログMOS IC回路の動作）

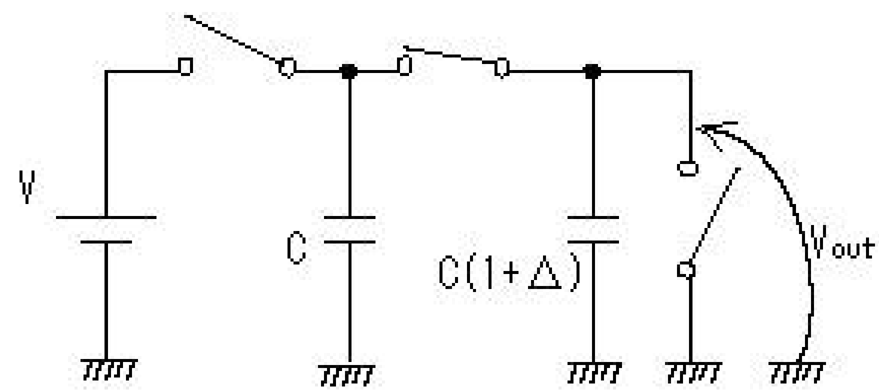
電圧Vを等分する回路である。SCFやADCなどのMOSアナログ回路では、このように
電荷の転送により信号を処理する。ただしこの場合、キャパシタには素子ばらつきがある。

下図においてフェーズ2における V_{out} の電圧を求めよ。

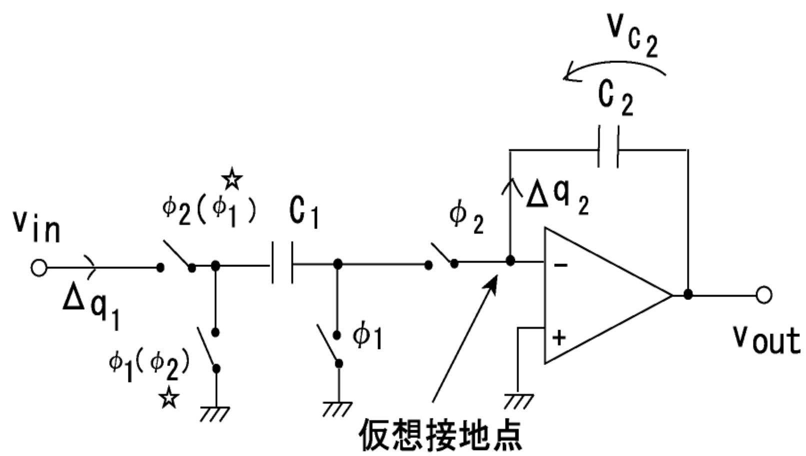
フェーズ1

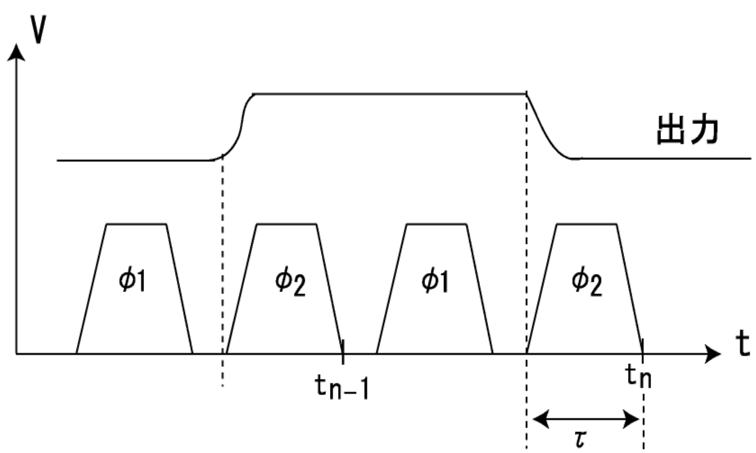


フェーズ2



積分器（ストレイ容量不感形）





1. $\phi_1 = 1$　C1はディスチャージ

2. $t_n - \tau \le t \le t_n$　の時、

$$\Delta q_1(t) = \Delta q_2(t) = C_1 v_{in}(t)$$

$$\Delta v_{C2}(t) = \frac{\Delta q_2(t)}{C_2} = \frac{C_1}{C_2} v_{in}(t_n)$$

v $v_{out} = -v_{C2}$　であることより、

$$v_{out}(t_n) - v_{out}(t_{n-1}) = -\frac{C_1}{C_2} v_{in}(t_n)$$

Z変換を用いると、

$$V_{out}(z) - z^{-1} V_{out}(z) = -\frac{C_1}{C_2} V_{in}(z)$$

となるので、

$$H(z) = \frac{V_{out}(z)}{V_{in}(z)} = -\frac{\frac{C_1}{C_2}}{1 - z^{-1}}$$

$z = e^{j\omega T}$ とおくと、

$$\frac{1}{R_1}$$

$$H(z) = H(e^{j\omega T}) = \frac{-\dfrac{C_1}{C_2}}{1 - e^{-j\omega T}} \cong \frac{-\dfrac{1}{C_2}\cdot\dfrac{C_1}{T}}{j\omega + \dfrac{\omega^2 T}{2} + \cdots} \cong \frac{-\dfrac{1}{C_2 R_1}}{j\omega}$$

積分器を示している

$x << 1$の場合 $\quad e^x = 1 + x + \dfrac{x^2}{2} + \cdots$

(　)のフェーズを取る場合は、

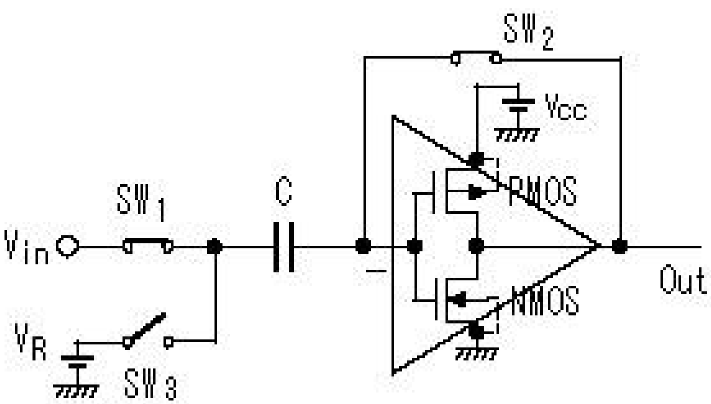
$\phi_1 = 1 \quad C_1$ は v_{in} にチャージアップされる。

$\phi_2 = 1 \quad -C_1 v_{in}$ が C_2 に入る。

$$v_{out} = +\left(\frac{C_1}{C_2}\right) v_{in} \quad \therefore \quad v_{out}(t_n) - v_{out}(t_{n-1}) = \frac{C_1}{C_2} v_{in}(t_{n-1})$$

より $\quad H(z) = +\dfrac{C_1}{C_2}\cdot\dfrac{z^{-1}}{1 - z^{-1}}$

インバータ形コンパレータ



フェーズⅠ :SW1, SW2･･･オン、 SW3･･･オフ
CMOSインバータの入出力端子電圧は等しくなる。
容量Cに蓄積される電荷 Q_1は、

$$Q_1 = C(V_{in} - V_C)$$

V_C とする

フェーズⅡ :SW1, SW2･･･オフ、 SW3･･･オン
容量CにフェーズⅠで蓄積された電荷は保持される。

→逃げ道がない！

容量Cの端子1にはV_Rが印加される。フェーズⅡでのインバータの入力端子電圧を V_{con} とすれば、

$$C(V_R - V_{con}) = Q_1$$ が成立

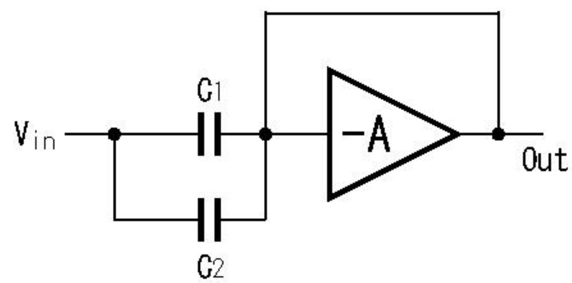
$$\therefore V_{con} = V_R - V_{in} + V_C$$

$1: V_{in} > V_R \rightarrow V_{con} < V_C \rightarrow$ 出力は1

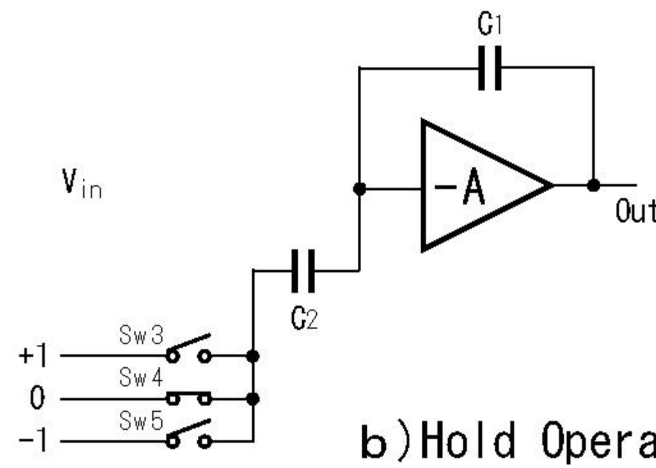
$2: V_{in} < V_R \rightarrow V_{con} > V_C \rightarrow$ 出力は0

インバータはその入力電圧がV_Cより大であれば0を、小であれば1を出力する。

通常のビットブロック回路の動作



a) Sampling Operation



b) Hold Operation

今、$C_1 = C$ 、$C_2 = (1+\Delta)C$ とする。 C1とC2の値は本来一致するはずであるが、容量値ばらつきのためC2の方がC1に比してΔCだけ大きい状態である。

1. サンプル時にC1＋C2に蓄積される電荷Qsは、

$$Q_S = (C_1 + C_2)(V_{in} - V_t)$$

２．ホールド時のC１＋C2の電荷量Qhは、Qsと等しい。

$$Q_h = Q_S = C_1(V_{out} - V_t) + C_2(0, \pm 1 - V_t)$$

スイッチSW3，４，５のどれがオンとなるかで決まる。

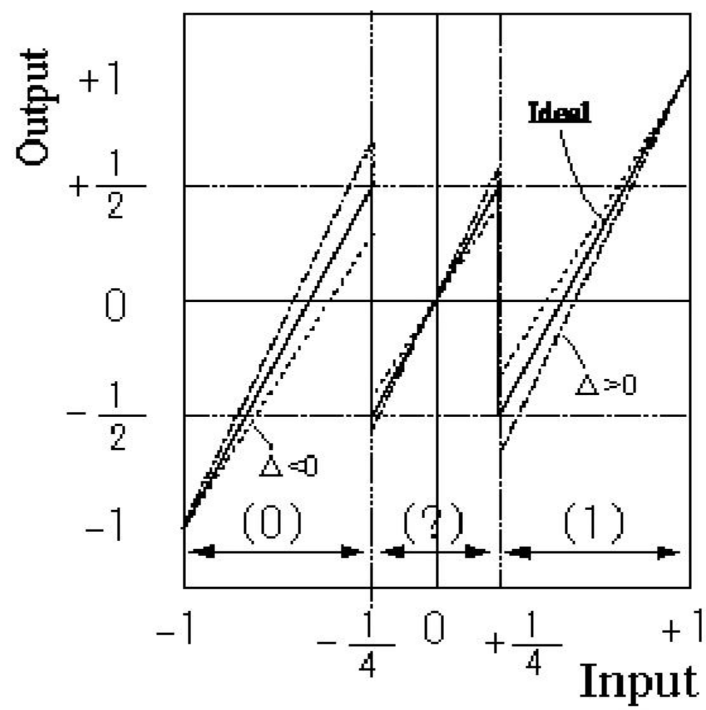
上式より、

$$V_{out} = \left(1 + \frac{C_2}{C_1}\right) V_{in} - (0, \pm 1)\frac{C_2}{C_1}$$

Δを用いて表すと、

$$V_{out} = (2 + \Delta)V_{in} - (0, \pm 1)(1 + \Delta)$$

Δが正と負で右図のような特性が得られる。



２次のバイカッドフィルタの実現

伝達関数 $$H(s)=\frac{v_{out}(s)}{v_{in}(s)}=-\frac{K_2s^2+K_1s+K_0}{s^2+\frac{\omega_0}{Q}s+\omega_0^2}$$

出力の極性が反転するだけ

すなわち $$s^2v_{out}=-(K_2s^2+K_1s+K_0)v_{in}-(\frac{\omega_0}{Q}s+\omega_0^2)v_{out}$$

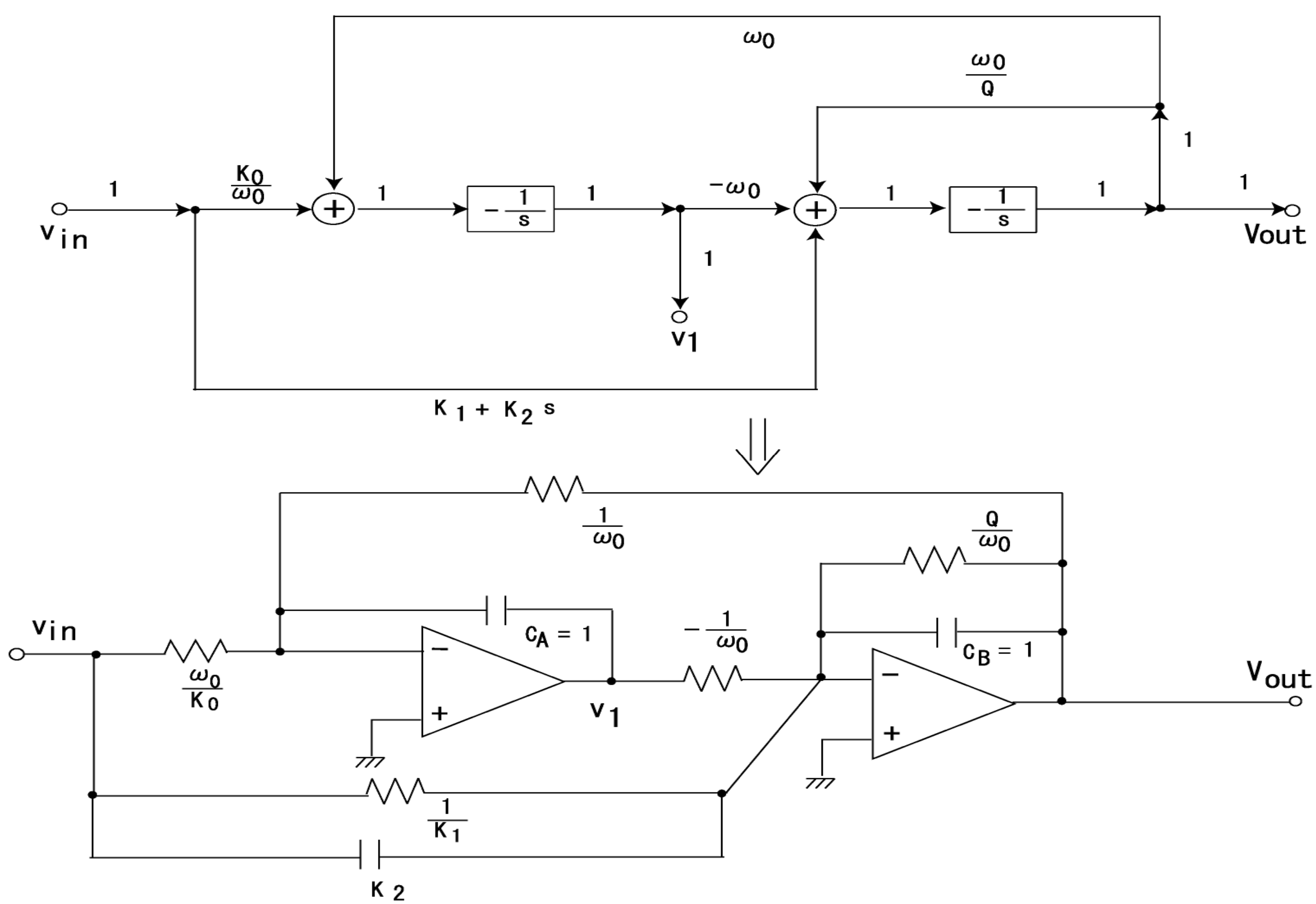
両辺を s^2 で割って、

$$v_{out}=-\frac{1}{s}\{(K_1+K_2s)v_{in}+\frac{\omega_0}{Q}v_{out}-\omega_0v_1\}$$ と変形

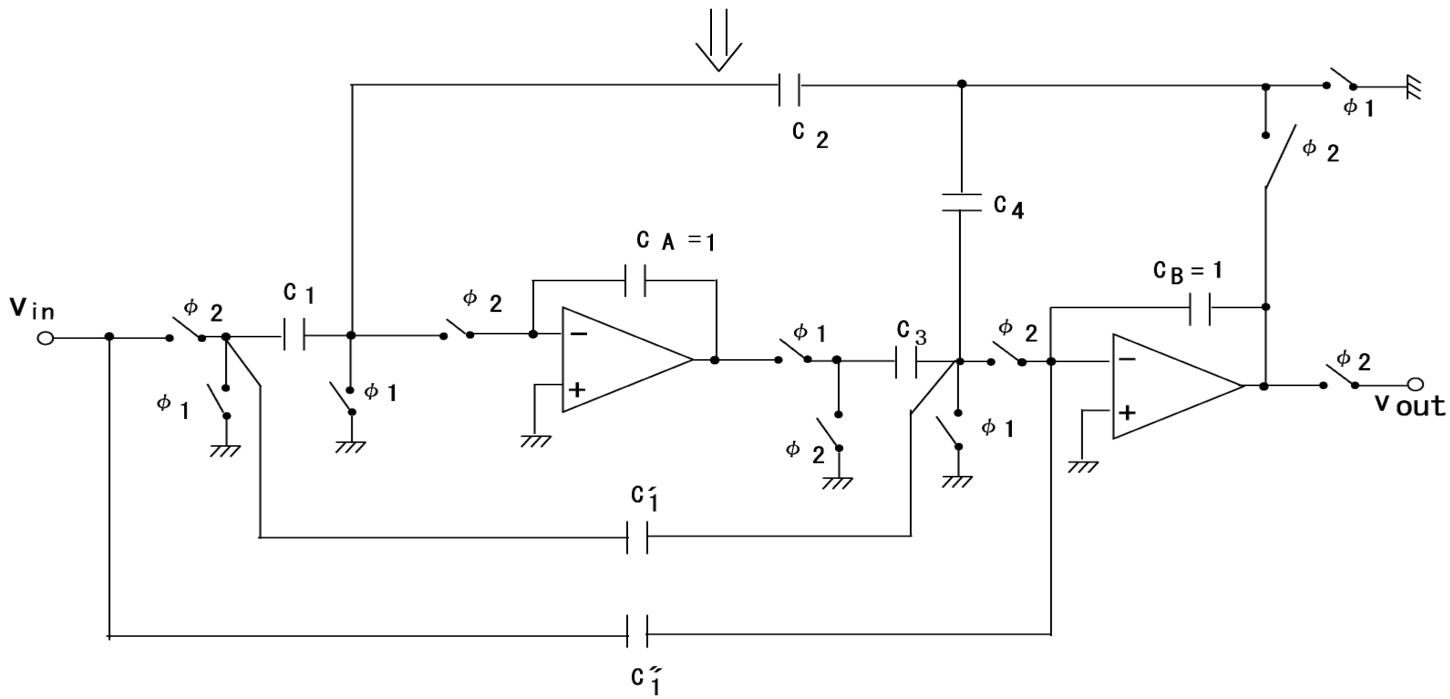
v_{in}, v_{out}, v_1 より合成できる。

但し $$v_1=-\frac{1}{s}(\frac{K_0}{\omega_0}v_{in}+\omega_0v_{out})$$

v_{in}, v_{out} より合成できる。



ω_0
$\frac{\omega_0}{Q}$
v_{in}
1
$\frac{K_0}{\omega_0}$
$-\frac{1}{s}$
$-\omega_0$
V_{out}
v_1
$K_1 + K_2 s$
$\frac{1}{\omega_0}$
$\frac{Q}{\omega_0}$
$C_A = 1$
$-\frac{1}{\omega_0}$
$C_B = 1$
$\frac{\omega_0}{K_0}$
$\frac{1}{K_1}$
K_2



Vin
φ 2
C 1
φ 1
φ 2
C A =1
φ 1
C 3
φ 2
φ 1
φ 2
C 2
C 4
C B = 1
φ 1
φ 2
φ 2
V out
C'1
C''1