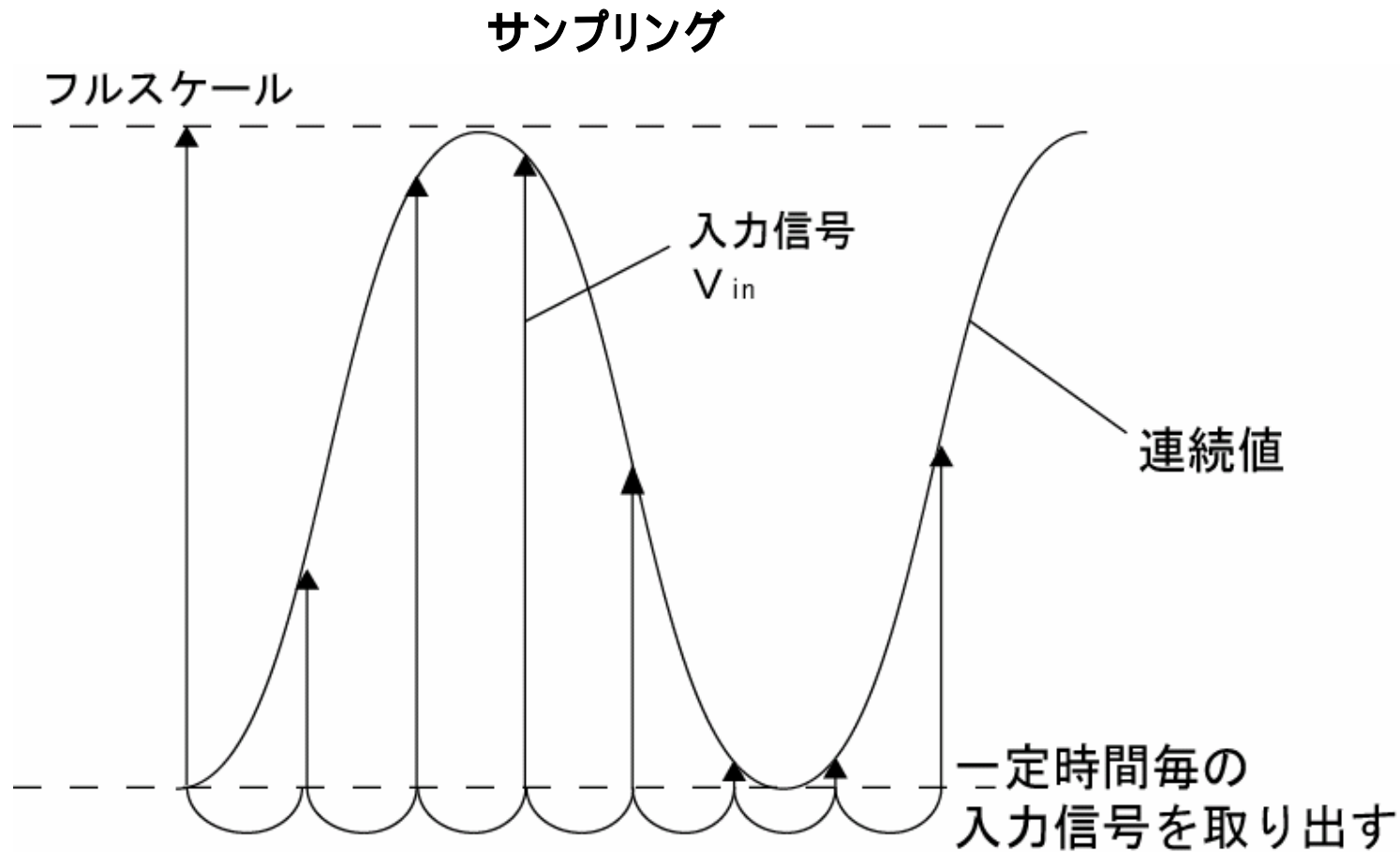


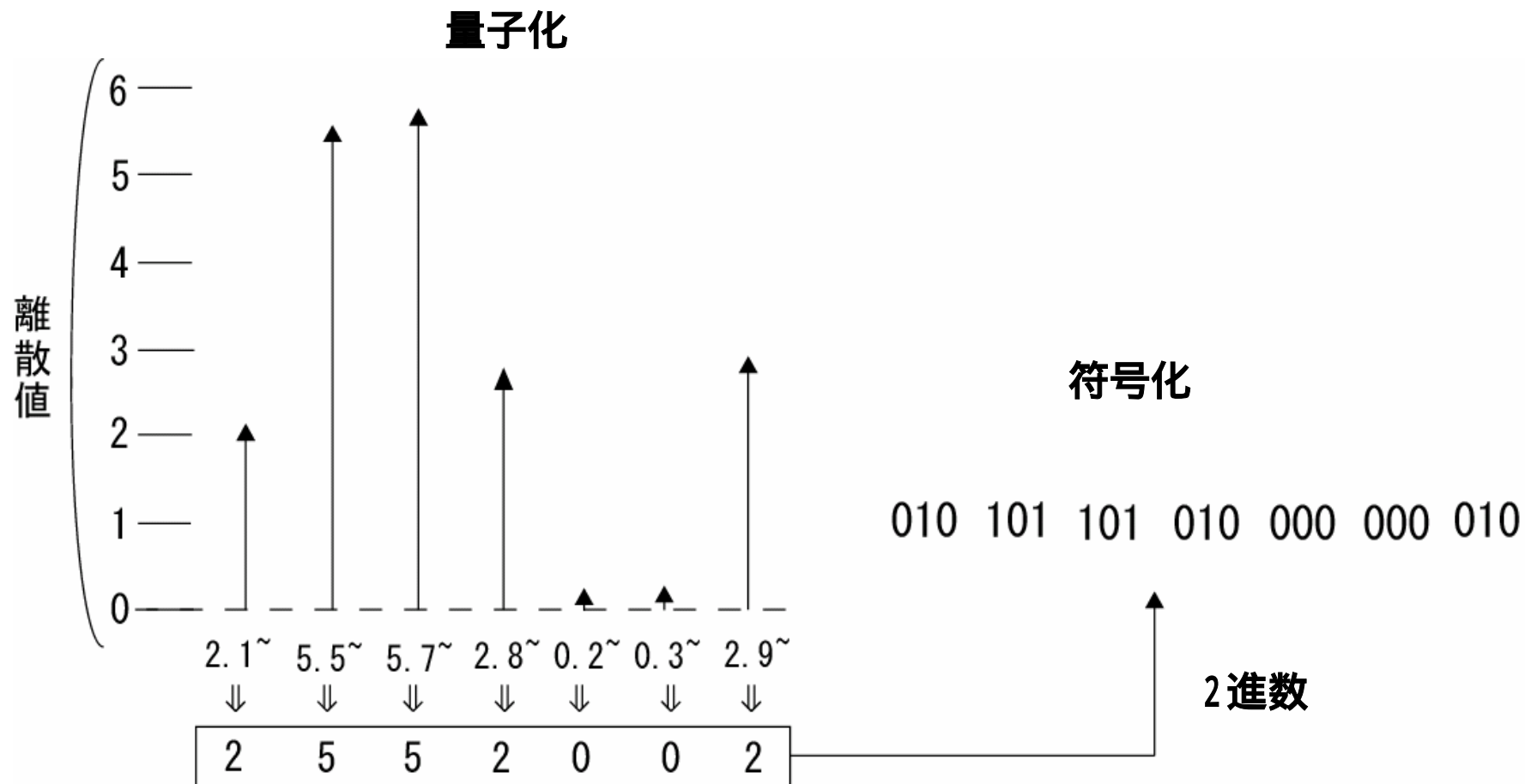
# 集積回路設計 第14回目 講義資料

杉本 泰博

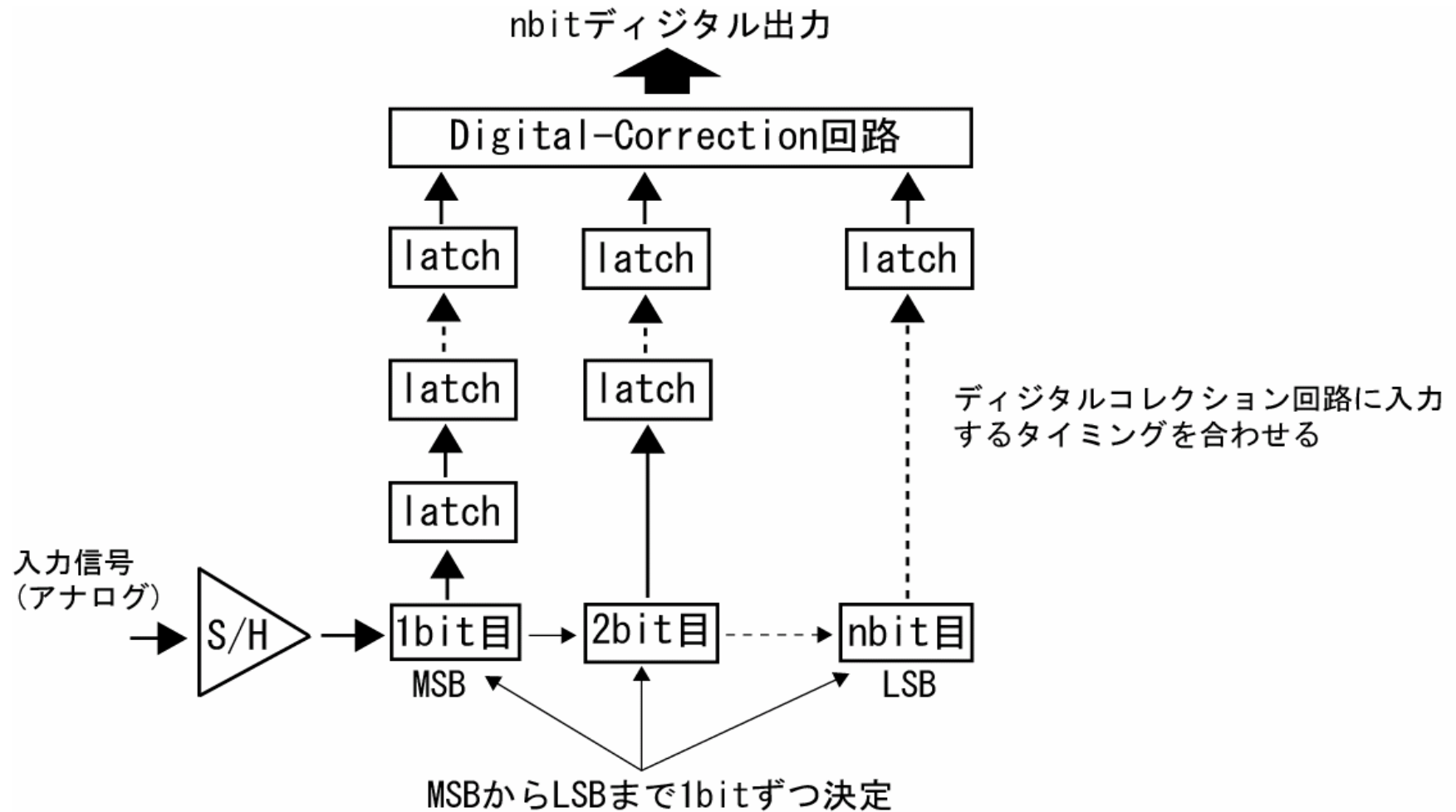
# ADC (アナログデジタル変換器)



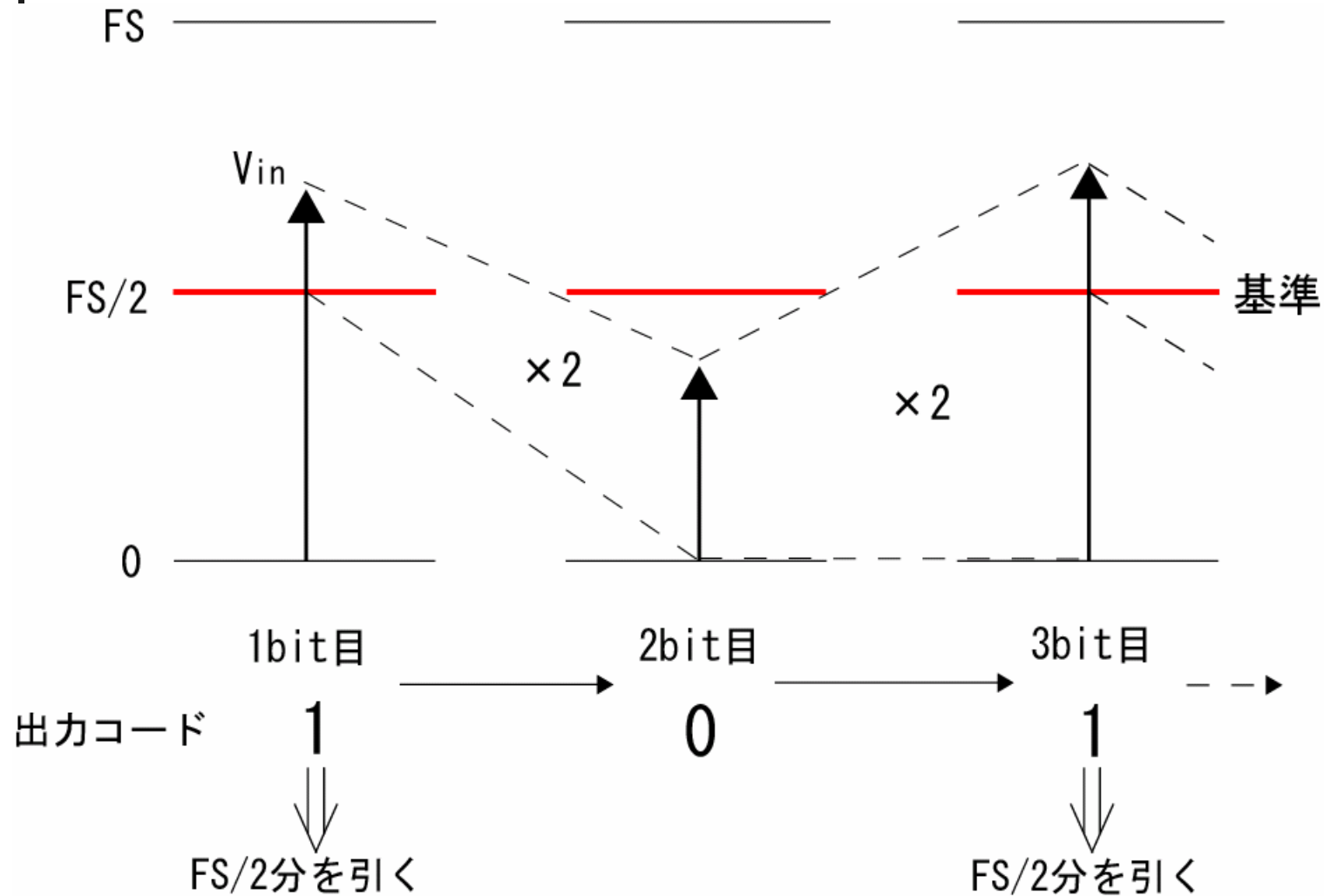
# A D C (アナログデジタル変換器)



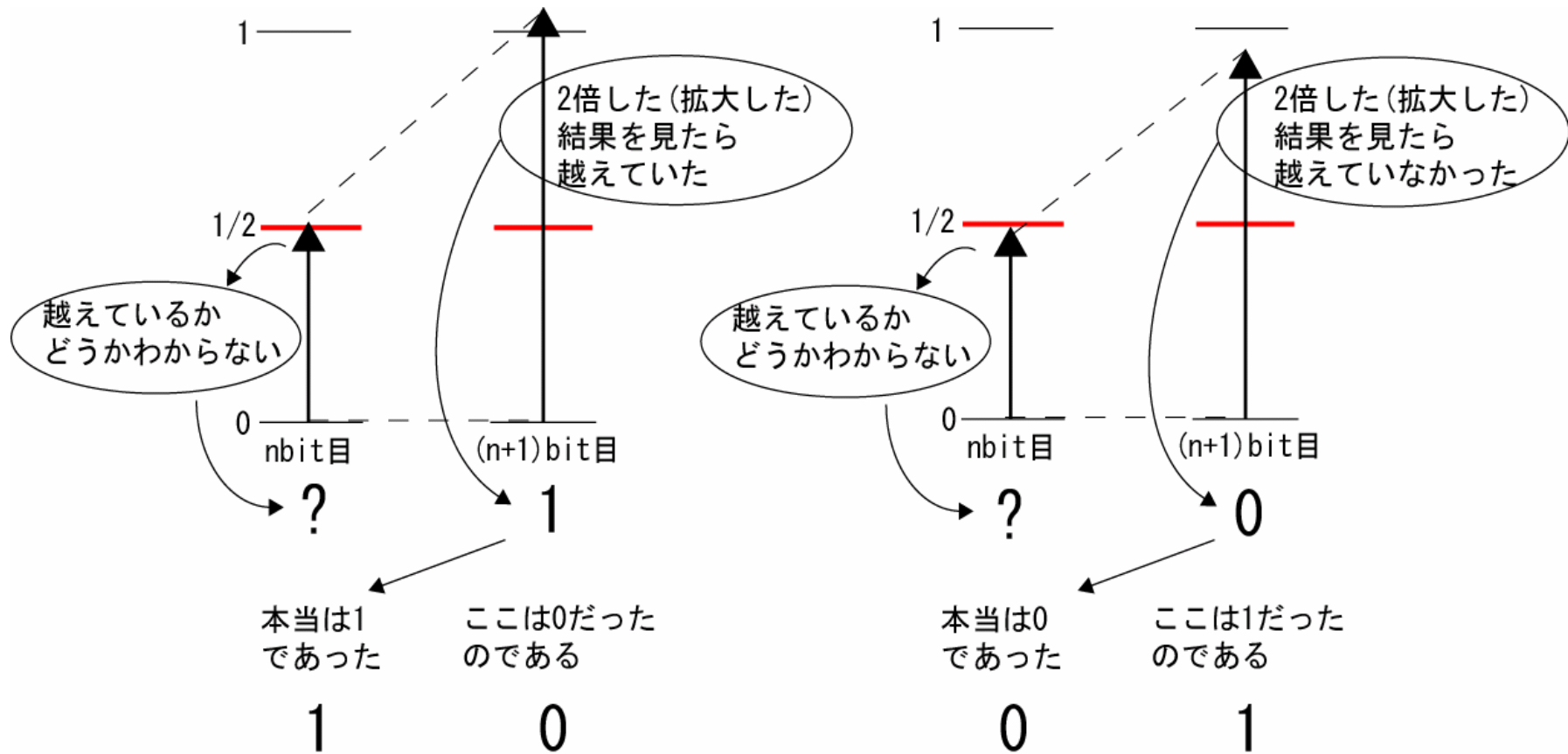
# パイプライン型ADC



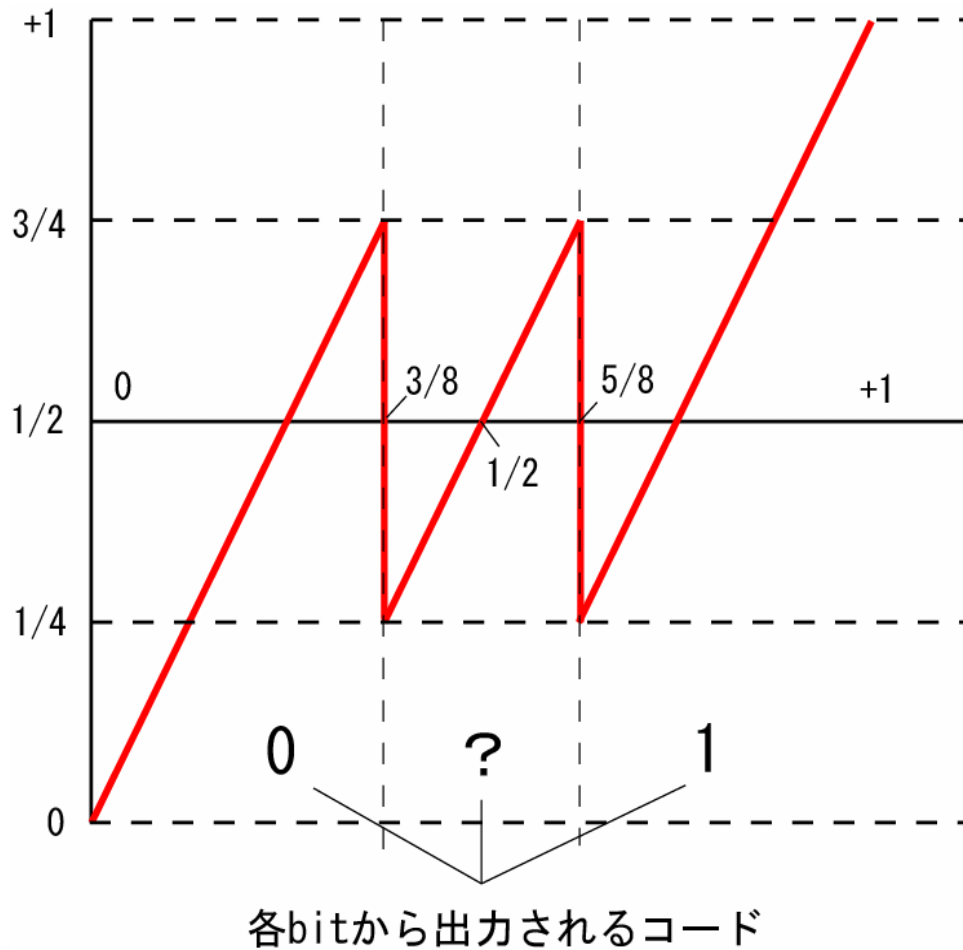
# パイプライン型ADC



# Digital-Correction



# ビットブロック回路の入出力特性

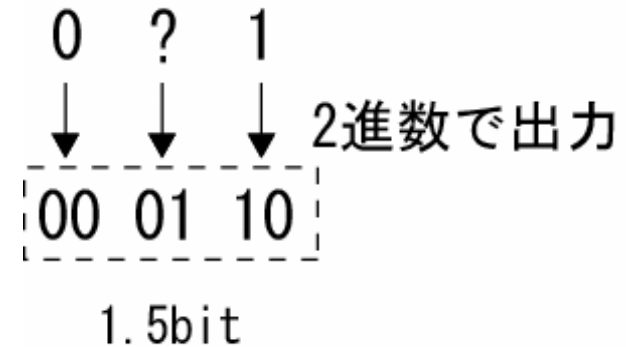


$V_{in} \geq FS/2$  のとき

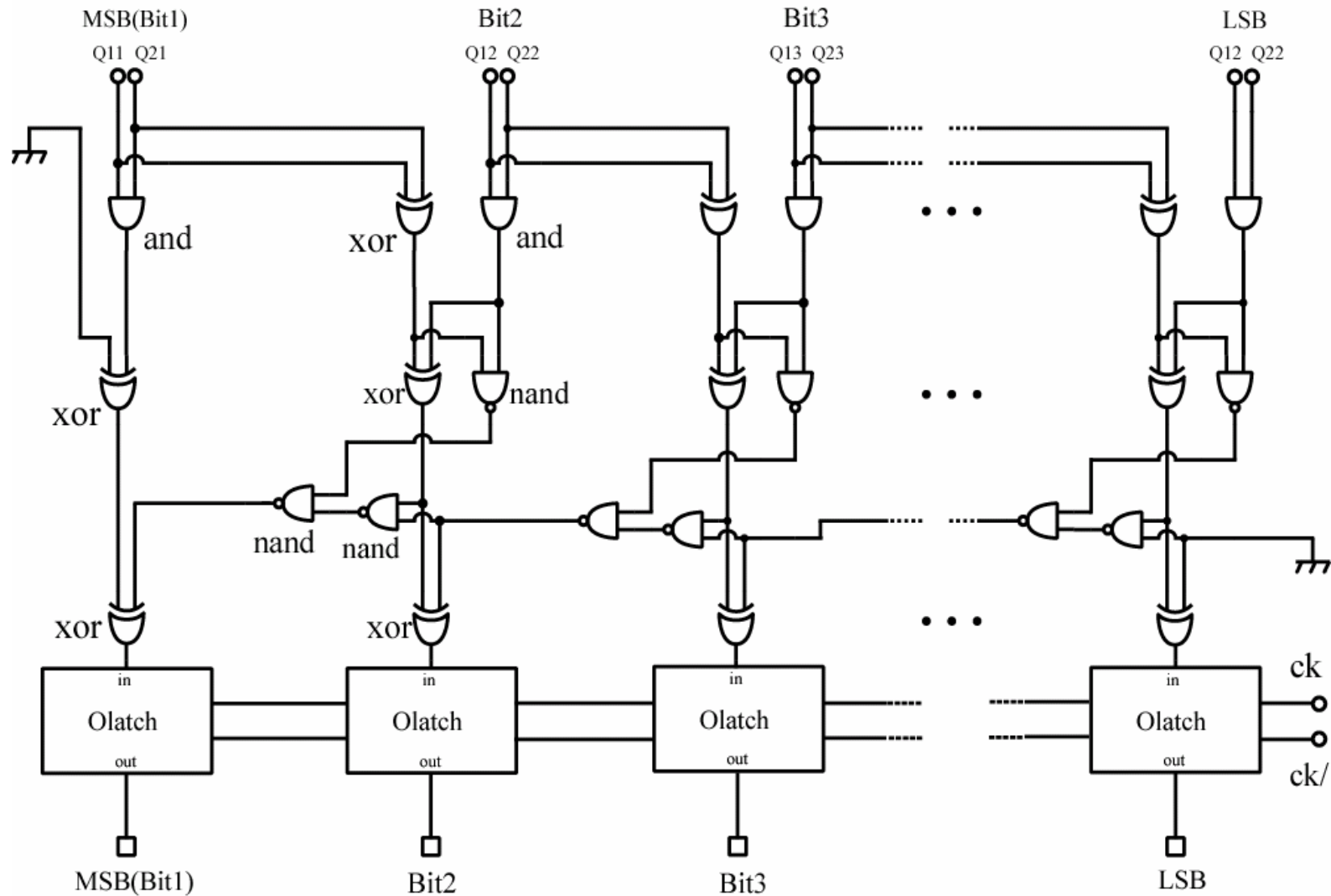
$$V_{out} = 2(V_{in} - FS/2) = 2V_{in} - FS$$

$V_{in} < FS/2$  のとき

$$V_{out} = 2V_{in}$$



# Digital-Correction回路

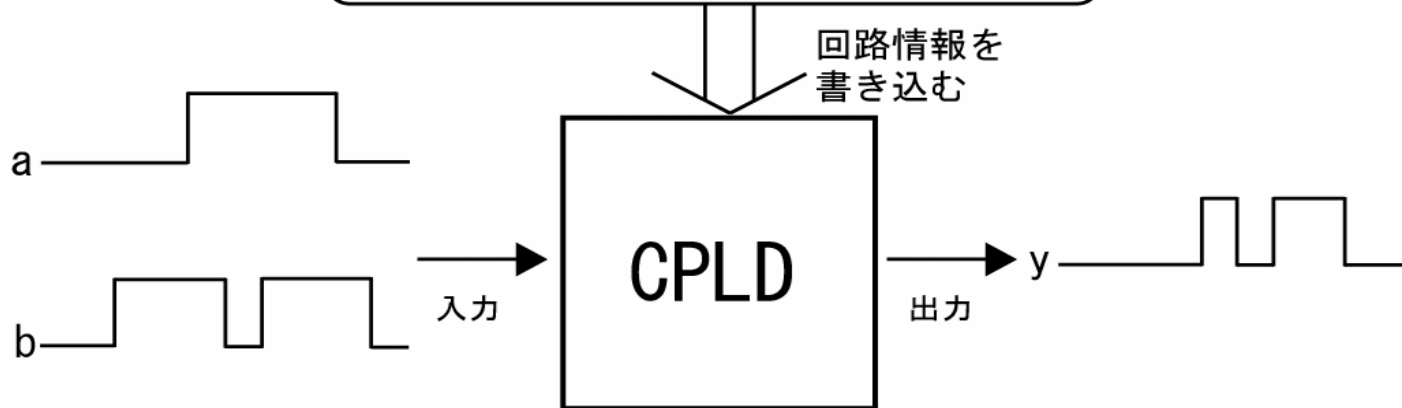
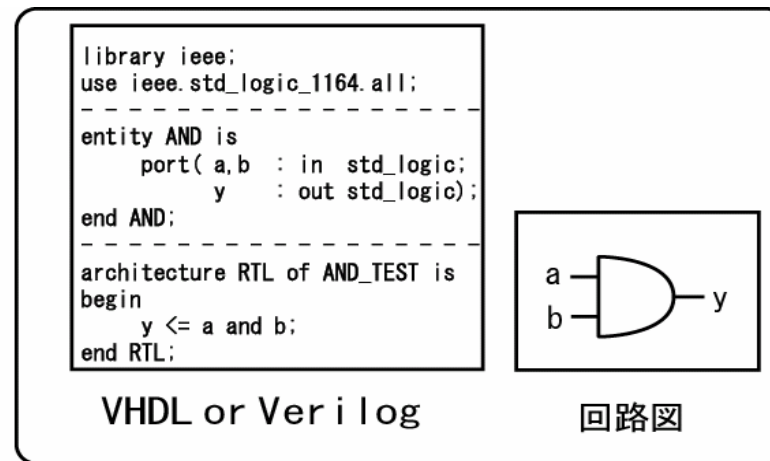




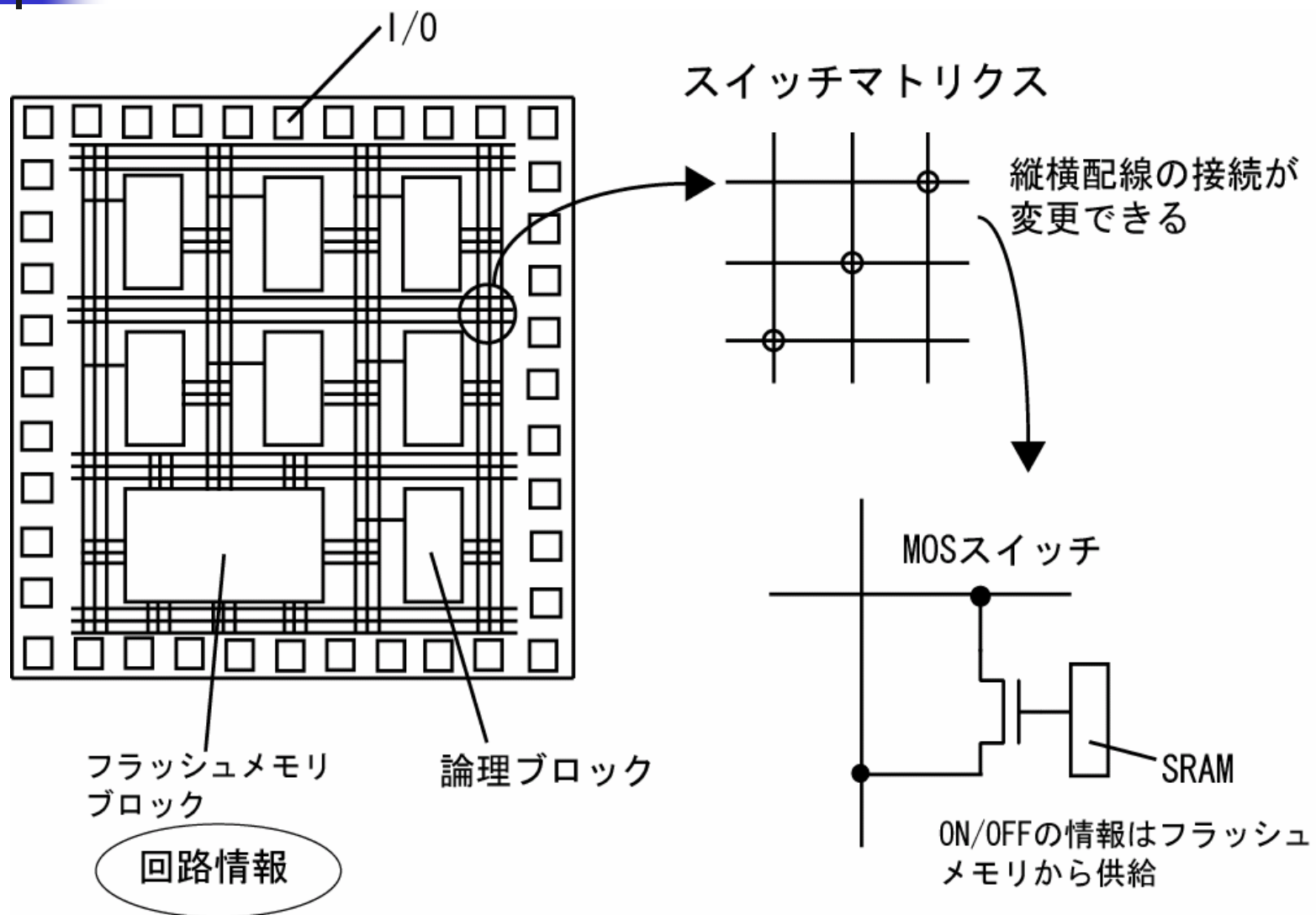
# CPLD(Complex Programmable Logic Device)

プログラムによって任意のロジック回路を構成できるデバイス

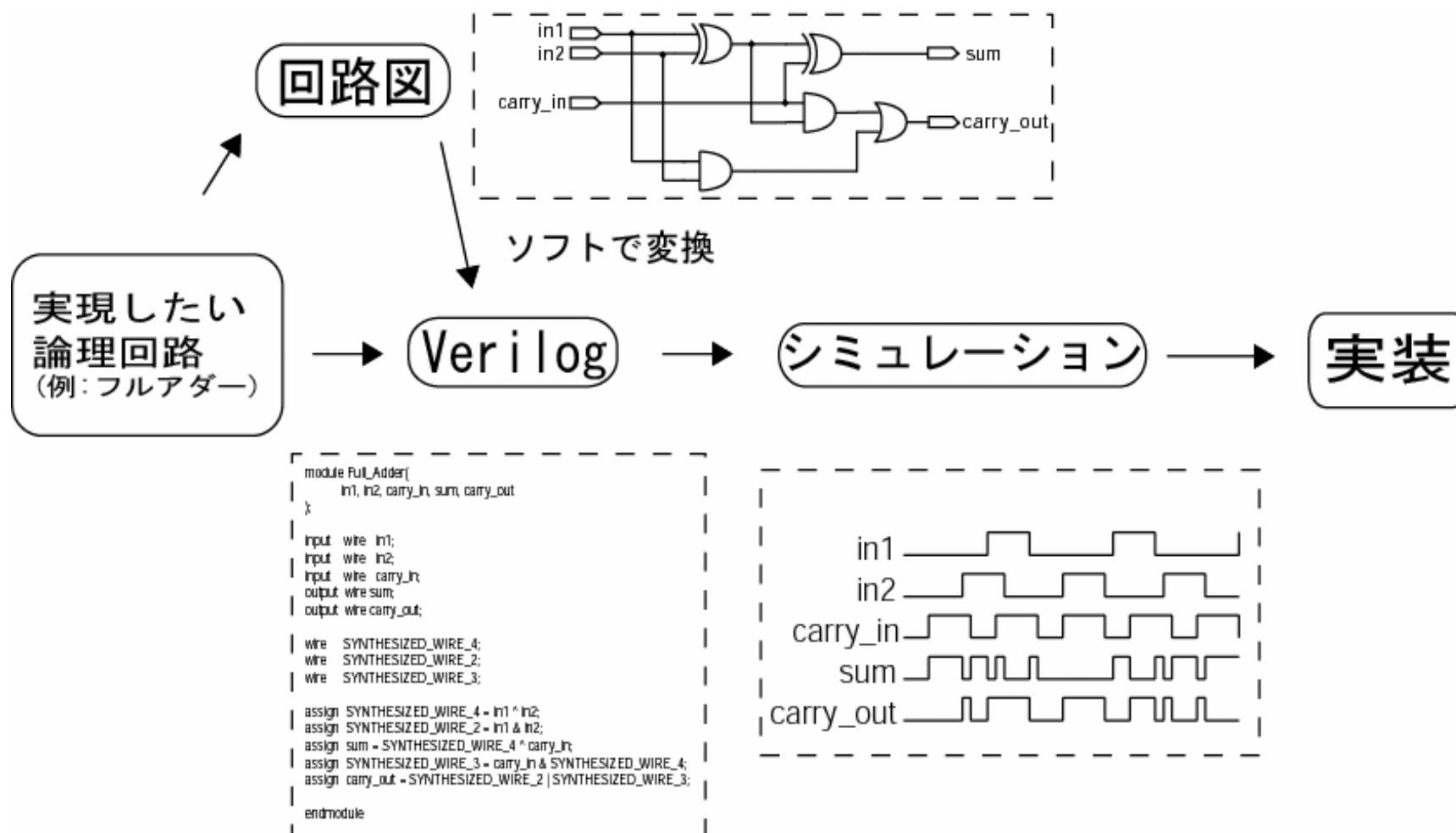
(例)AND回路を構成



# CPLDの構成

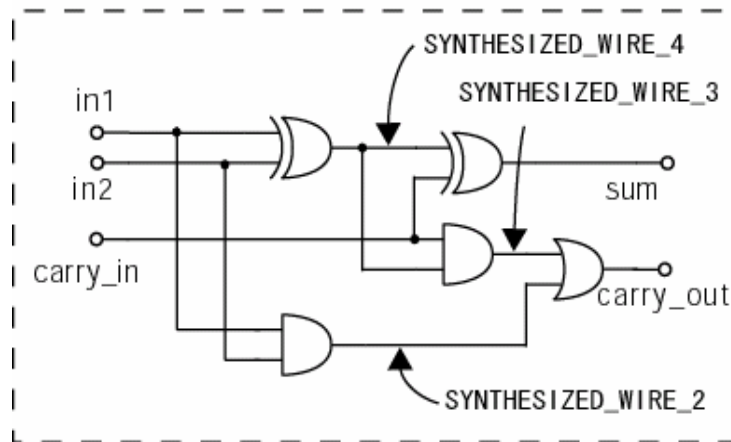


# CPLDでの論理回路設計フロー



# Verilog-HDL

回路図



変換

## Verilog-HDL

```
module Full_Adder(  
    in1, in2, carry_in, sum, carry_out  
);  
  
    //入出力ピンの宣言  
    input  wire  in1;  
    input  wire  in2;  
    input  wire  carry_in;  
    output wire  sum;  
    output wire  carry_out;  
  
    //配線の宣言  
    wire  SYNTHESIZED_WIRE_4;  
    wire  SYNTHESIZED_WIRE_2;  
    wire  SYNTHESIZED_WIRE_3;  
  
    //接続情報  
    assign SYNTHESIZED_WIRE_4 = in1 ^ in2; /*in1とin2のxorをWIRE4と接続*/  
    assign SYNTHESIZED_WIRE_2 = in1 & in2;  
    assign sum = SYNTHESIZED_WIRE_4 ^ carry_in;  
    assign SYNTHESIZED_WIRE_3 = carry_in & SYNTHESIZED_WIRE_4;  
    assign carry_out = SYNTHESIZED_WIRE_2 | SYNTHESIZED_WIRE_3;  
  
endmodule
```

ピン、論理素子の接続情報

# シミュレーション

## テストベンチ

```
module tb_Full_Adder;

//入出力
reg in1;
reg in2;
reg carry_in;
wire sum;
wire carry_out;

//in1の入力信号
/*ソフトのデフォルトで1ステップは1ps*/
parameter step_in = 100000; /*1ステップ=100ns*/
always begin
  in1 = 0; #(step_in*10); /*最初の10フェーズは0*/
  in1 = 1; #(step_in*5); /*次の5フェーズは1*/
end /*以上をループ*/

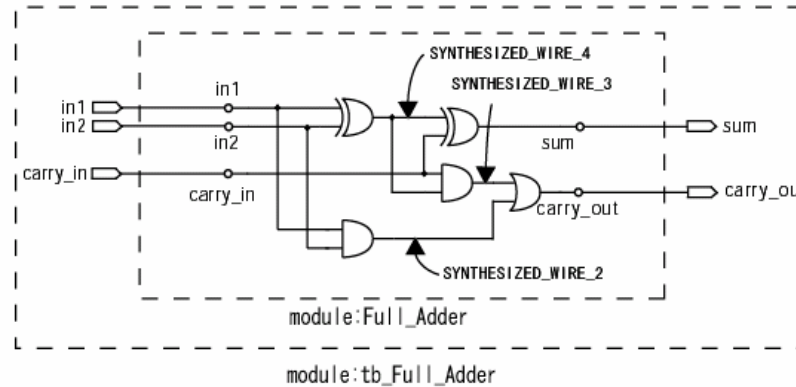
always begin
  in2 = 0; #(step_in*7);
  in2 = 1; #(step_in*5);
end

always begin
  carry_in = 0; #(step_in*3);
  carry_in = 1; #(step_in*5);
end

//モジュールの呼び出し
Full_Adder Full_Adder (
  in1, in2, carry_in,
  sum, carry_out
);

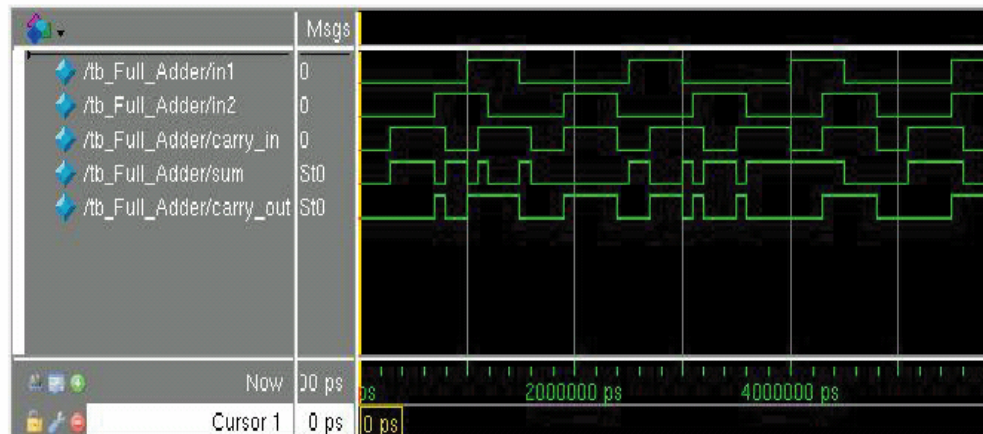
endmodule
```

シミュレーション用の入力信号



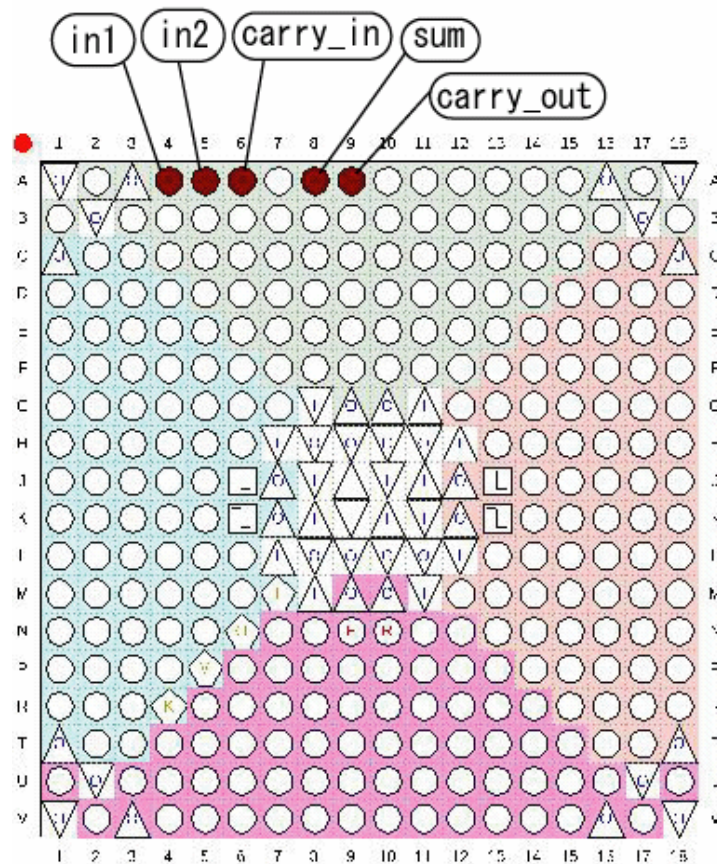
テストベンチは最上位モジュール

## シミュレーション波形



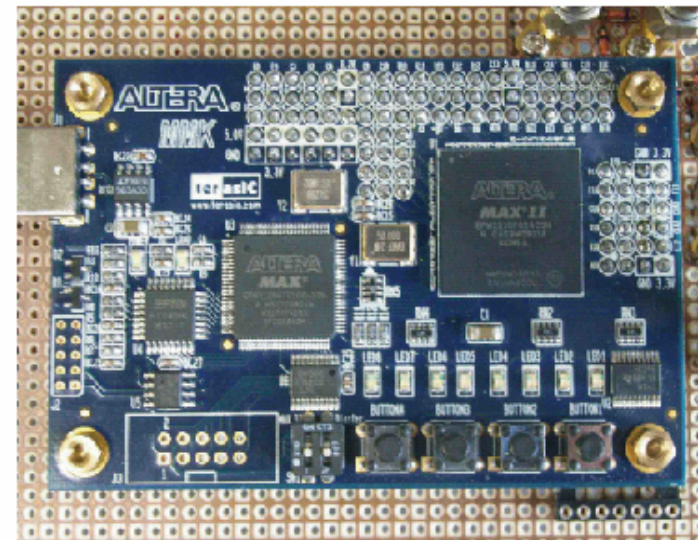
# ピンプラン、インストール

## ピンプラン



実際のデバイスにおける入出力の  
ピン配置を指定する

## 実装



↑  
インストール

Verilogファイル(回路情報)  
Pinファイル(ピン配置情報)