

集積回路設計 第13回目 講義資料

杉本 泰博

実際に用いる4つの基本論理回路



A	O
0	1
1	0

NOT回路

A	B	O
0	0	1
0	1	1
1	0	1
1	1	0

NAND回路

A	B	O
0	0	1
0	1	0
1	0	0
1	1	0

NOR回路

A	B	O
0	0	0
0	1	1
1	0	1
1	1	0

EXOR回路

EXOR回路

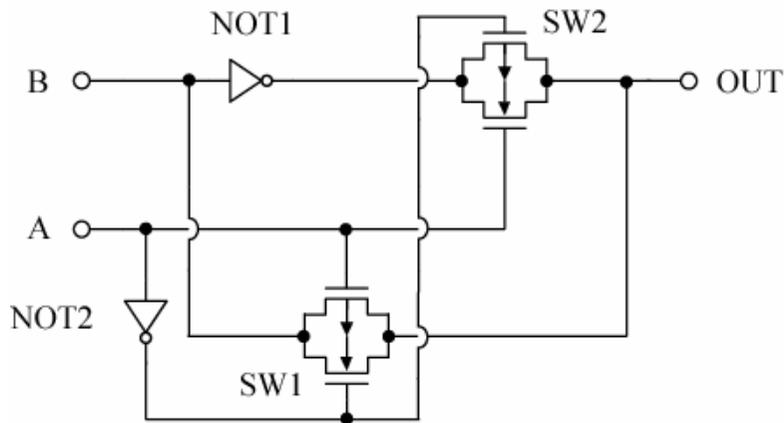
A	B	O
0	0	0
0	1	1
1	0	1
1	1	0

真理値表より、EXOR回路の論理式は $O = \bar{A}B + A\bar{B}$

$A = 0 (\bar{A} = 1)$ のとき、出力は B

$A = 1 (\bar{A} = 0)$ のとき、出力は \bar{B}

EXOR回路は、Aの値によってBをそのまま、あるいは反転して出力する。



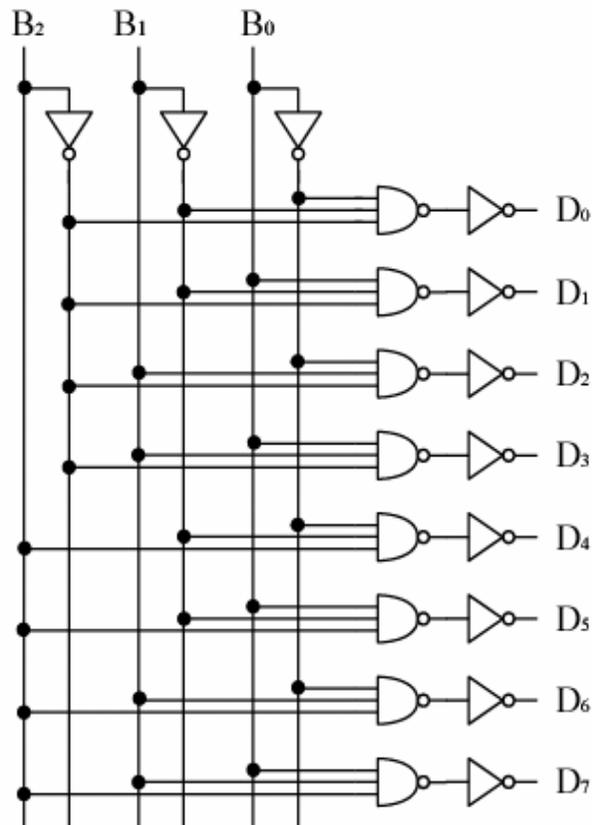
EXOR回路

SW1:A=0でオン Bはそのまま出力

SW2:A=1でオン Bは反転され出力

デコーダ

2進数を10進数、16進数などの他の符号に変換(復号化)する。



$B_2 \sim B_0$ に3ビット分の2進数が与えられると、1つの出力端子のみが論理1となり、対応した10進数を得る。

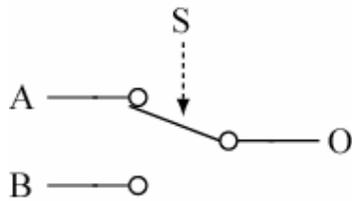
例) 101

D5端子のみが論理1 10進数の5

図:デコーダ

マルチプレクサとデマルチプレクサ

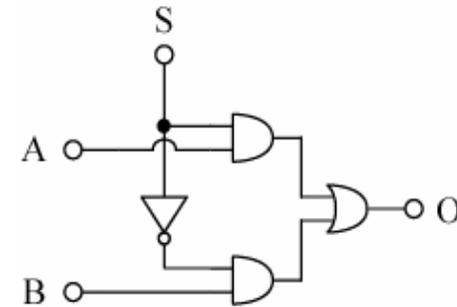
マルチプレクサ: 複数の入力から1つを選択し出力する。



セクタSの論理
でA,Bを選択

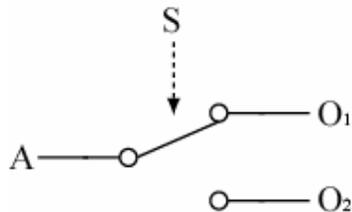
セクタS	入力	出力
1	} A,B	A
0		B

真理値表



回路構成

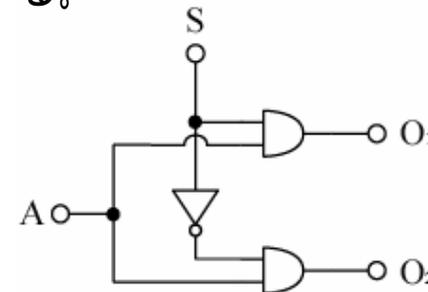
デマルチプレクサ: 1つの入力を複数の出力に分配する。



セクタSの論理でO₁か
O₂に出力するかを選択

セクタ S	入力	出力 O ₁	出力 O ₂
1	} A	A	-
0		-	A

真理値表



回路構成

フリップフロップ

安定状態を2つ持つ双安定回路といわれている。しかし基本構成はインバータが2段環状に接続されただけの回路である。

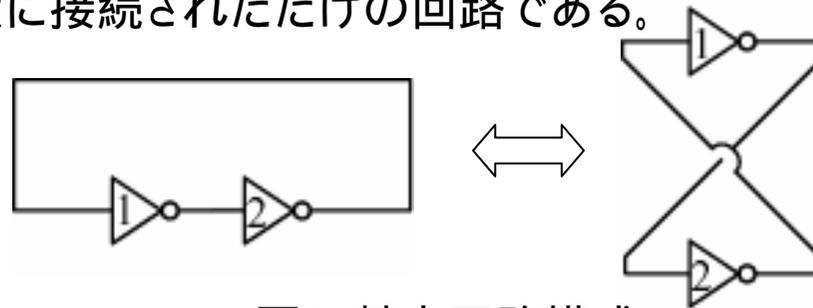


図1:基本回路構成

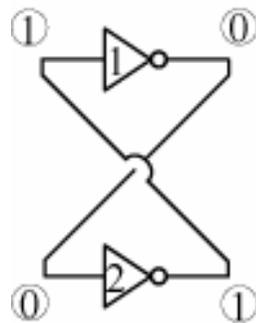


図2:安定状態1

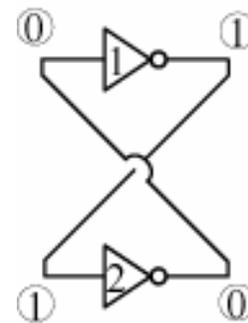


図3:安定状態2

図2, 3の状態において各インバータは論理機能に矛盾がなく、このままの状態が安定である。しかし例えば電源を投入した時、インバータの最初の状態がどちらの論理であるかわからないので、図2あるいは図3のどちらの状態になるかわからない。

JKフリップフロップ

SRFFを改善して、入力端子J,Kに同時に論理1が加わっても誤動作しないようにする。

真理値表

入力		出力
J	K	Q_{n+1}
0	0	Q_n
1	0	1
0	1	0
1	1	\bar{Q}

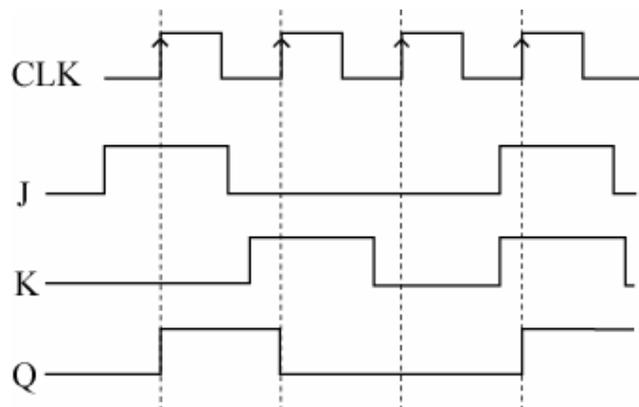


図: タイミングチャート

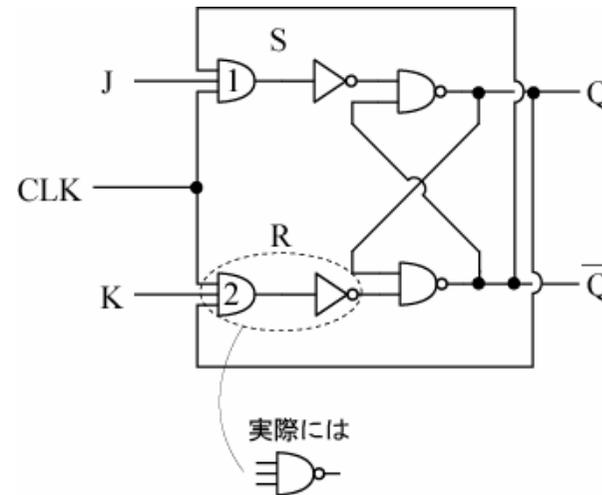


図: ゲートにより構成した回路

$Q=1$ ($Q=0$) のとき、 $J=K=1$ であるとするとき、ゲート 1 には論理 0 が与えられるので、ゲート 1 の出力は強制的に 0 となり、J 入力は S に加わらない。

ただし、J と K に論理 1 が長時間とどまると Q 出力は反転を繰り返す、発振したような状態になる。

Dフリップフロップ

クロックに同期し、QおよびQ出力の状態を変えるフリップフロップ。ラッチ機能(クロックに同期してデータを取り込み出力する)を実現する場合に使用。

真理値表

入力 D	出力 Q _{n+1}
0	0
1	1

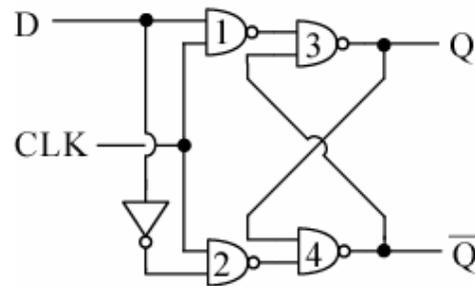


図:回路構成

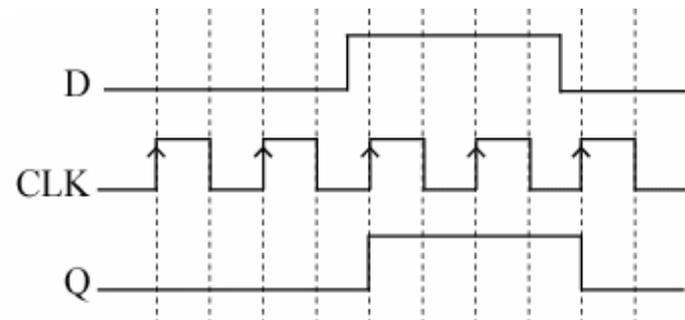


図:タイミングチャート

クロックが論理1のときD入力のデータを読み込み、論理0のときは前の出力データを保持する。

3進カウンタ

カウンタはフリップフロップを用いて、クロックを分周したり、クロックの個数を数え、数え終わったという信号を出力する。

3進カウンタはクロックが3回与えられる毎にパルスを1回出力する。

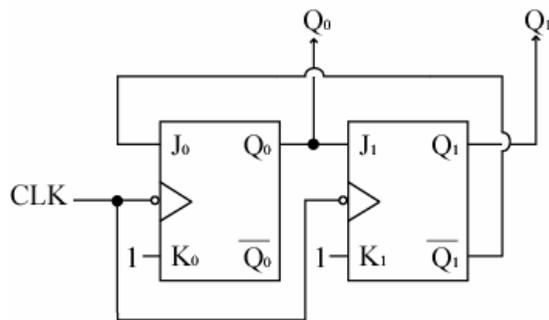


図:回路構成

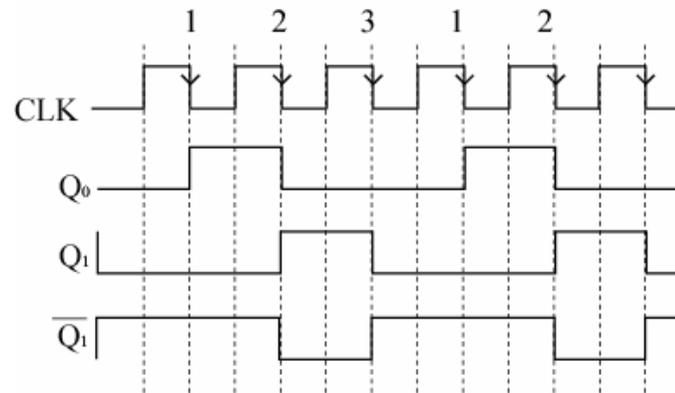


図:タイミングチャート

最初Q₀, Q₁は共に論理0とする

5進カウンタ

5進カウンタはクロックが5回与えられる毎にパルスを1回出力する。

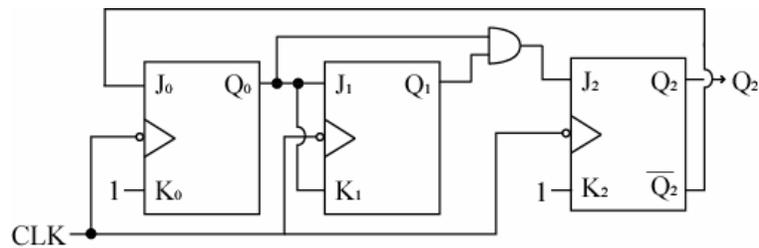


図:回路構成

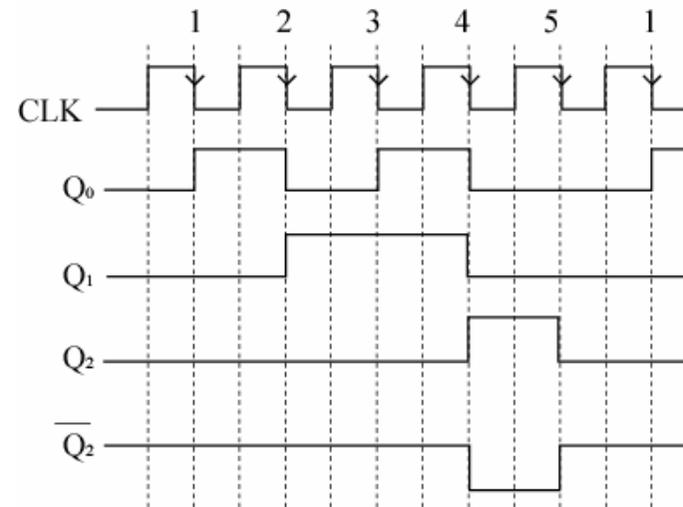


図:タイミングチャート

5番目のクロックを数え終わるとすべてのフリップフロップは初期状態($Q_0=0$, $Q_1=0$, $Q_2=0$)となる。これはANDゲートを利用して実現する。

シフトレジスタ(演習13.1)

データの記憶、データの遅延、データの直並列変換といった機能を実現する。
Dフリップフロップを用いて回路を構成する。

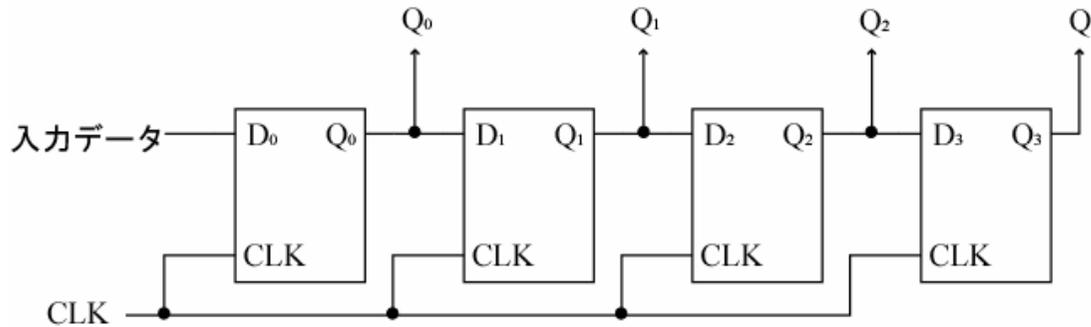


図:回路構成

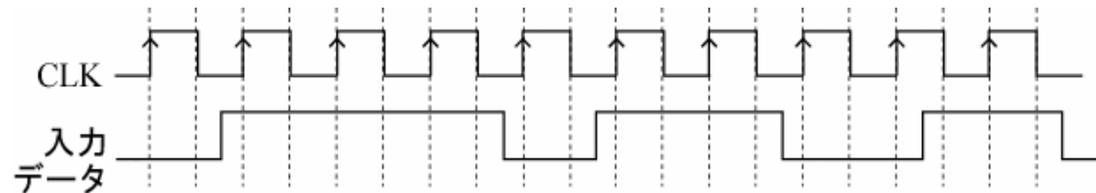


図:入力データ

問題: 各Dフリップフロップはクロック(CLK)の立ち上がりエッジでQ出力の状態が変化するとして、Q₀ ~ Q₃のタイミングチャートを描きなさい。

シフトレジスタのタイミングチャート(演習13.1解答)

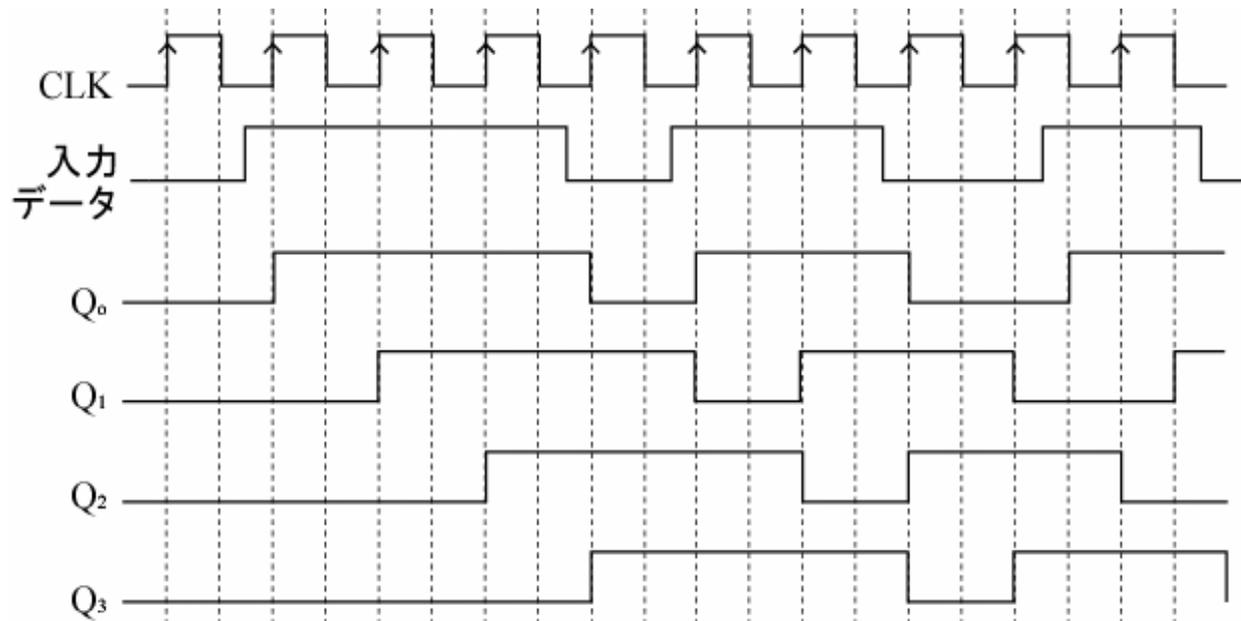
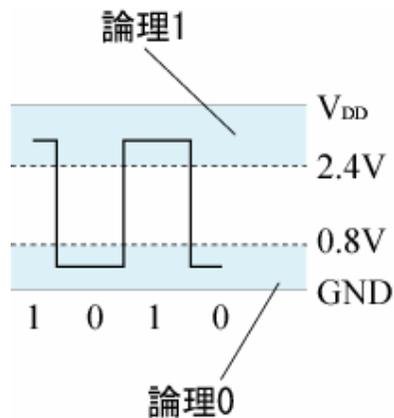


図: タイミングチャート

TLL IC と CMOC IC

TLL IC

TLLレベルと呼ばれる入出力の論理レベル、に対応した電圧値が定められている。



論理レベル1	2.4 [V] 以上
論理レベル0	0.8 [V] 以下

図:TLLレベル

TLL IC と CMOC IC

CMOS IC

入出力の論理レベルに対応した電圧値は明確に規定されていない。回路中のトランジスタのサイズなどで論理の境目を自由に変えることができる。

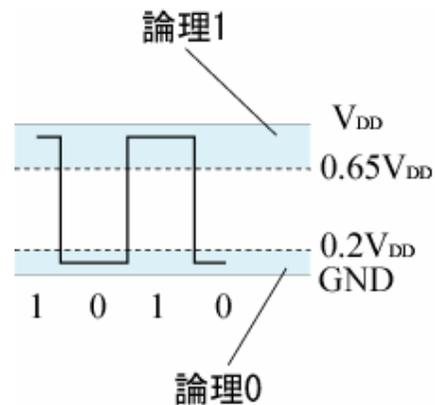


図:CMOS74VCXシリーズ

例) 74VCXシリーズ

論理レベル1	$0.65 \times V_{DD}$ [V] 以上
論理レベル0	$0.2 \times V_{DD}$ [V] 以下