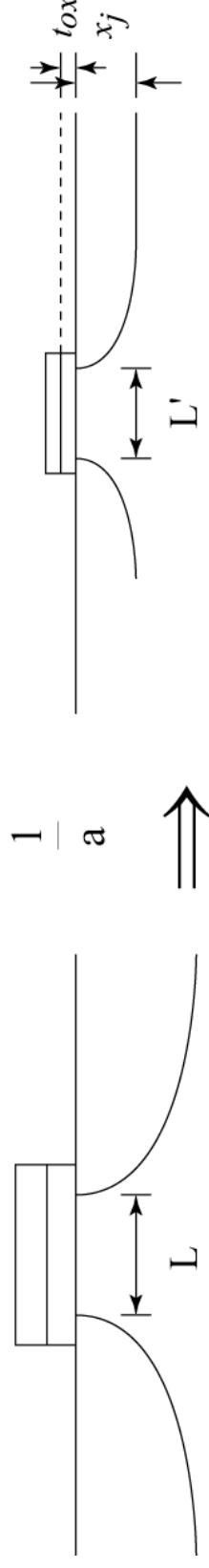


集積回路設計 第11回目 講義資料

杉本 泰博

トランジスタ微細化のルール(MOS FET の比例縮小則)



定電界比例縮小則 ⇒ 電圧と寸法が a だけ比例縮小される。

⇒ 電界 E が一定に保たれる。

$$\text{ゲート長}(L) \rightarrow \frac{1}{a}$$

$$\text{接合の深さ}(x_j) \rightarrow \frac{1}{a}$$

$$\text{ゲート幅}(W) \rightarrow \frac{1}{a}$$

$$\text{不純物濃度}(N_A, N_D) \rightarrow a$$

$$\text{ゲート酸化膜}(t_{ox}) \rightarrow \frac{1}{a}$$

$$\text{電圧}(V_{DD}, V_{sub}) \rightarrow \frac{1}{a}$$

例1

NMOSの V_{th} を考えてみよう。

$$V_{th} = \phi_{MS} + 2\phi_{fp} + \frac{t_{ox}}{\varepsilon_{si}\varepsilon_0} \left\{ -Q_{ss} + \sqrt{2\varepsilon_{si}\varepsilon_0 q N_A (2\phi_{fp} - V_{sub})} \right\}$$

$\phi_{MS}, 2\phi_{fp}, \varepsilon_{si}, \varepsilon_0, Q_{ss}$ には比例縮小則が適用されない。

比例縮小則

\Rightarrow

$$V'_{th} = \phi_{MS} + 2\phi_{fp} + \frac{t_{ox}/a}{\varepsilon_{si}\varepsilon_0} \left\{ -Q_{ss} + \sqrt{2\varepsilon_{si}\varepsilon_0 q (aN_A) \left(2\phi_{fp} - \frac{V_{sub}}{a} \right)} \right\}$$

$\phi_{MS} + 2\phi_{fp} = 0$ となる材料を選び、 $\frac{V_{sub}}{a}$ の効果は小さいと仮定すれば

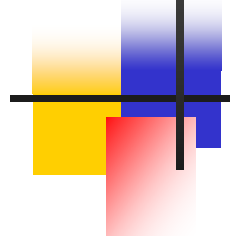
$$\doteq \frac{V_{th}}{a}$$



演習 11.1

$$I_{dsn} = \mu_n C_{ox} \frac{W_n}{L_n} \left[(V_{gsn} - V_{th}) V_{dsn} - \frac{V_{dsn}^2}{2} \right]$$

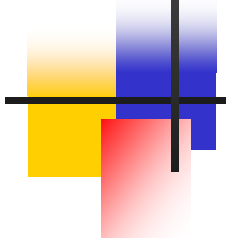
に比例縮小則を適用すると、新しい I'_{dsn} はどのようなか示しなさい。



定電界比例縮小則の効果

面積 $A \propto LW$	→	$\frac{1}{a^2}$
電界 $E \propto \frac{V}{t}$	→	1
$C \propto \frac{A}{t}$	→	$\frac{1}{a}$
I_{ds}	→	$\frac{1}{a}$
V_{th}	→	$\frac{1}{a}$
信号遅延 $T \propto \frac{CV}{I}$	→	$\frac{1}{a}$
消費電力 $P \propto IV$	→	$\frac{1}{a^2}$
電力・遅延積 $P \cdot T$	→	$\frac{1}{a^3}$
電力密度 $\frac{P}{A}$	→	1

プロセスの改良により
集積密度が増加しても
温度上昇は一定に保たれる。



欠点

配線抵抗 $\rightarrow a$ 倍になってしまう

$$R' = \frac{\rho}{t'} \times \frac{l'}{w'} = \frac{\rho}{t'} \times \frac{l/a}{w/a} = aR$$

容量 $C' = \frac{w'l'}{t'} \rightarrow \frac{1}{a}$

配線の遅延時間 $T_d' = C'R' \rightarrow 1$

配線の電圧降下 $V_d' = IR' \rightarrow 1$

配線の電流密度 $J' = I'/t'w' \rightarrow a$

サブスレッショルド特性の影響が出てくる

$$V_{th} \rightarrow \frac{1}{a}$$

$V_{gsn} = 0$ [V] におけるリーク電流が指数関数的に増大する。