

# 高周波電子回路の基礎

Basics for the High-frequency  
Electronic Circuits

杉本 泰博\*

## 1. はじめに

近年では、プリント基板やLSIパッケージにおいても扱う信号の周波数が上がり、その構造あるいは配線にも種々の配慮が必要とされるようになってきています。デカップリング・コンデンサはパッケージあるいはLSIチップ上に実装され、伝送線路とのインピーダンス整合や配線のクロストークが問題とされるようになりました。ここではこれらの事項についての基礎的な考え方を述べてみましょう。

## 2. デカップリング・コンデンサ

基板等に回路を実装する場合には、必ずデカップリング・コンデンサを使用します。IC実装を例にとれば、正負の電源端子間に数十 $\mu\text{F}$ の大きな容量と数千pFの容

量が並列に接続されるのが普通です。高密度実装を行うという観点からはデカップリング・コンデンサは大きな障害となるのですが、使用を怠ると回路特性の劣化やトラブルの原因となるのでしかたがありません。

### 2.1 電源の等価回路

Fig.1は電源からICチップ内部の回路に、電圧および電流を供給する場合の等価回路を示したものです<sup>1)</sup>。一般に電源はインピーダンスを持たない理想的なものと考えられますが、実際には有限のインピーダンスが存在します。電源とICチップ間には、フレーム、バスラインおよび回路基板の各配線が存在しますので、これらに含まれるインダクタおよび抵抗成分が影響を及ぼします(なお、ここでは容量成分は考慮していません)。

また、ICチップ内部でも配線のインダクタおよび抵抗成分が存在しています。このように電源とICチップ内の回路との間には、多くのインダクタおよび抵抗素子

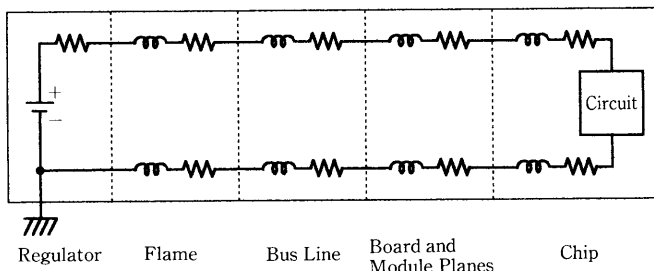


Fig.1 Equivalent circuit of the power-distribution system.

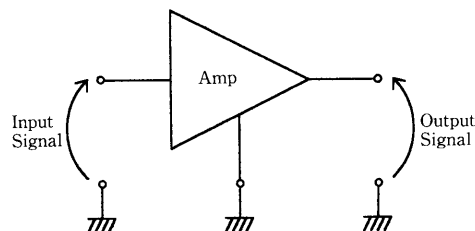


Fig.2 Amplifier circuit.

\* Yasuhiro Sugimoto

中央大学 理工学部電気・電子工学科 / Dept. of E. & E. Eng., Faculty of Science and Engineering, Chuo University

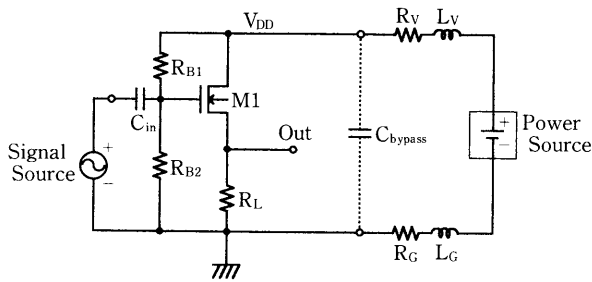


Fig. 3 Common-drain amplifier circuit.

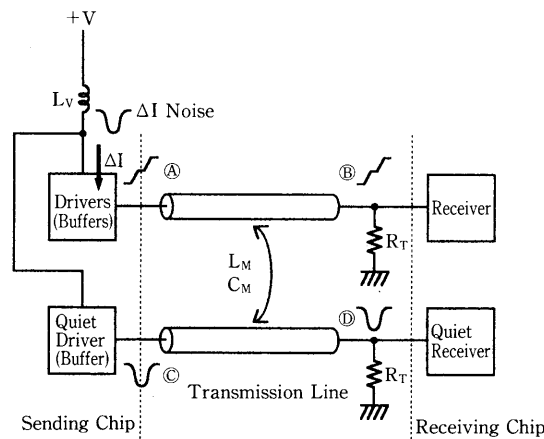


Fig. 4 Influence of switching, termination and coupling.

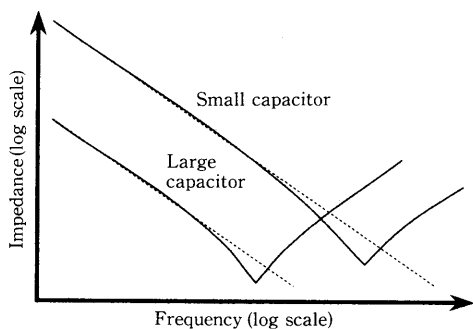


Fig. 5 Frequency characteristic of the capacitor impedance.

が接続されていることとなります。これは電源ライン上だけでなく接地側（グラウンドライン、以下GNDと略記）にも当てはまることです。

## 2.2 増幅回路における接地

増幅器に信号を入力する場合には入力端子とGND間に信号を入力し、出力端子とGND間に出力される信号を取り出します。すなわち入出力ともGNDを基準としているわけです（Fig. 2）。

例としてFig. 3のドレイン接地増幅回路を考えてみましょう<sup>2)</sup>。この回路は増幅素子（この場合はMOSFET）のドレイン端子が交流的（交流信号に対する回路のふるまいを考えた場合）に接地されていることを前提とした回路です。通常は電源の交流抵抗はゼロとして考えますので、交流的に電源を通して両者（V<sub>DD</sub>とGND）は接続されているわけですが、実際には同図のように電源との間に配線によるインダクタおよび抵抗が存在するので両者が接続されているとは言えません。そこで回路側の

電源とGND間に容量を接続し、この間を交流的にショートします。これによりドレイン端子はGND端子と交流的に接続されたこととなります。

## 2.3 ΔIノイズ

チップ間のインタフェースがデジタル信号で行われるような場合にはこの種のノイズが問題となります。今、Fig. 4に示すようにデータ送出側の出力バッファが、ローからハイに遷移したときを考えてみましょう。この時、伝送線を充電するために出力バッファにはΔIの大きな電流が流れます。電源と出力バッファ間には前述のようにインダクタや抵抗成分が存在します（Fig. 4ではインダクタのみを描いています）ので、出力バッファの電源端子には大きな電圧変化が起こります。これをΔIノイズと呼んでいます。この変化は特にたくさんの出力バッファが同時に変化する場合（同時スイッチング）に顕著となります。この場合、動作していない出力バッファには、電源端子に電圧変化が加わりますので、その出力には同図©に示すような変動が現れます。これが伝送線を通してデータ受信側の入力回路に伝わるとすれば、誤って認識される可能性が出てきます。したがって、正しくデータの送受を行うには、ΔIノイズによる電源電圧変動を抑える必要があることがわかります。

データの送受に関しては、これ以外に伝送線間の結合容量および相互インダクタンスの影響、インピーダンスの不整合に起因する反射の問題等を考慮する必要があります。

## 2.4 デカップリング・コンデンサの接続

前述のようにデカップリング・コンデンサとしては、大きな容量と比較的小さい容量を組み合わせる場

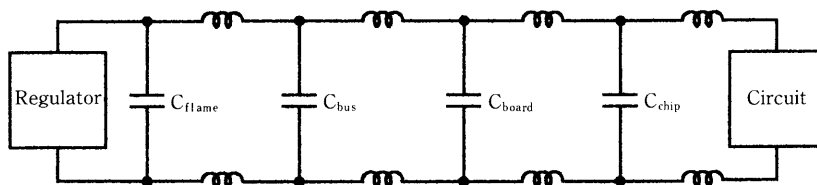


Fig. 6 Decoupling capacitors.

合が多いようです。Fig. 5に示すように、コンデンサにはリード線等の寄生インダクタンスがあるため、周波数に比例してインピーダンスが低下するコンデンサ本来の特性を示す領域と、周波数の上昇と共にインピーダンスが増大する領域が表れます。2つの領域の境界でインピーダンスが最も低くなる周波数は小さい値のコンデンサでより高くなります。したがって、広い周波数範囲で低いインピーダンスを確保したい場合には、異なる値のコンデンサを並列に接続すればよいことになります。

Fig. 1のシステムにデカップリング・コンデンサを接続するとFig. 6となります。デカップリング・コンデンサは色々な場所で必要ですが、電源に近いコンデンサほど容量値の大きなものを用います。チップにおいて発生する高周波のノイズ成分は短いパスで早めに取り除いておく必要があります。

### 3. インピーダンス整合

次に信号源側と負荷側のマッチングについて考えましょう。一般にはFig. 7に示すごとく、信号源の出力インピーダンスと負荷インピーダンスは、実数成分と虚数成分を持っています。よく教科書などに書いてある整合条件は、 $r_s=r_L$ ,  $x_s=x_L=0$  の場合ですが<sup>2)</sup>、これは低周波領域で成り立つ条件です。すなわち、負荷として取り出される電力は、負荷の電圧をV、電流をIとしますと、

$$\begin{aligned} I &= E / 2 r_s \\ V &= E / 2 \end{aligned} \quad (1)$$

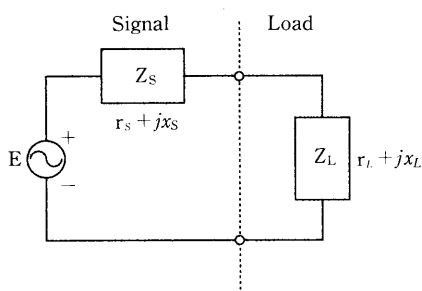


Fig. 7 Impedance matching.

なので、電力Pは、

$$P = VI = E^2 / 4 r_s \quad (2)$$

でこの時、最大の電力を取り出すことができます。

しかしながら、高周波においては $r_s=r_L$ ,  $x_s=-x_L$ が成り立つことが整合の条件となります<sup>3)</sup>。

この時、

$$\begin{aligned} I &= E / 2 r_s \\ V &= (r_L + jx_L) E / 2 r_s \end{aligned} \quad (3)$$

となりますが、電力Pは電圧Vの電流I方向成分 $r_L E / 2 r_s$ とIを掛けたものとして求められますので、結局

$$P = E^2 / 4 r_s \quad (4)$$

と計算されることとなります。このことより、高周波において出力インピーダンスと負荷インピーダンスとの整合をとるには、実部は等しく、虚部は絶対値が等しくて極性が互いに反対であるように設定する必要があります。とわかります。

それではこのマッチングがうまくとれない場合の影響を調べてみましょう。Fig. 8は、同軸線路を用いて信号を伝送する場合の接続図の一例です。送端、受端での電圧変化の様子を調べるのが目的です。図において信号源として、3Vのステップ波形を加える場合を考えてみましょう。信号源抵抗は100Ω、線路の特性インピーダンスは50Ωですから、A点の電圧は最初1Vとなります{ $= 3 \times (50 / 150)$  [V]}。信号は線路を10nsかかってB点に到着するのですが、B点においてはインピーダンスが整合していないので、信号の反射が起きます。この割合 $\Gamma_L$ は、

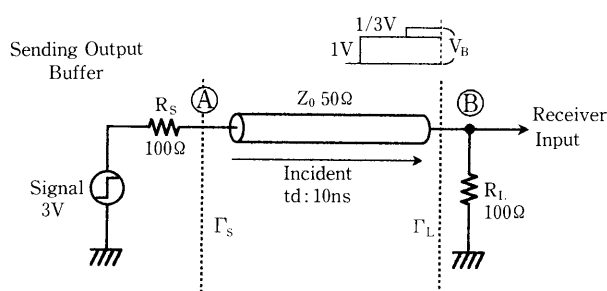


Fig. 8 Reflection and transmission.

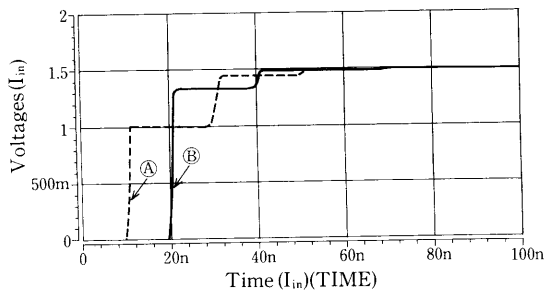


Fig.9 Simulation result of the circuit in Fig.8.

$\Gamma_L = (R_L - Z_0) / (R_L + Z_0) = 1/3$  (5)  
 です。したがって、B点での電圧波形は、A点にステップ波形が加わって10ns後に到着した1Vの信号波形と、B点での反射による1/3 [V]の電圧波形が加わったものとなり、反射波は再びA点側に伝搬して行くこととなります。入力側での反射係数 $\Gamma_s$ も同様に1/3ですので、B点からの反射波はやはり10ns後にA点に到着し、その1/3が反射して到達した波に加わることとなります。このような現象を繰り返しながら、結局はA点およびB点共に1.5V { $3 \times (R_s + R_L)$ }の電圧に収束して行きます。

この様子を実際に回路シミュレータによりシミュレーションした結果をFig.9に示します。インピーダンス整合が正しく行われていない場合には、A点、B点の電圧ともこのように振動して変化するようになります。

#### 4. マイクロストリップ線路とクロストーク

では次に、2本の線路間に生じる結合について考えて行きます。高周波パッケージ等では50Ωの特性インピーダンスを実現するために、マイクロストリップ線路を用いることが多いようです。2本のマイクロストリップ線路がFig.10に示すように互いに隣り合って配置されている場合には、線間容量や相互インダクタンスにより結合が生じます。これは一方のマイクロストリップ線路に

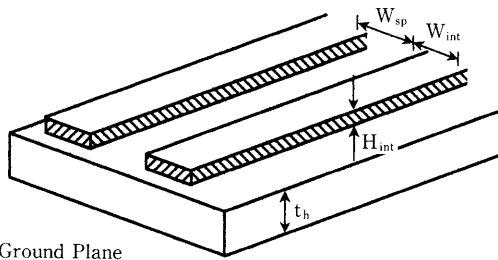


Fig.10 Parallel microstrip lines.

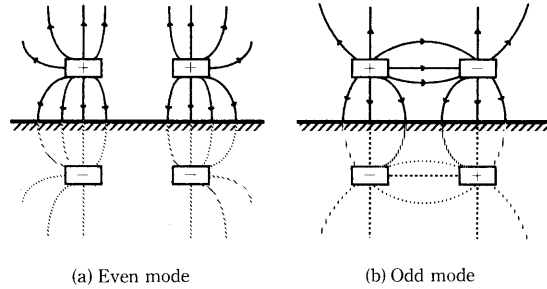


Fig.11 Even and odd modes.

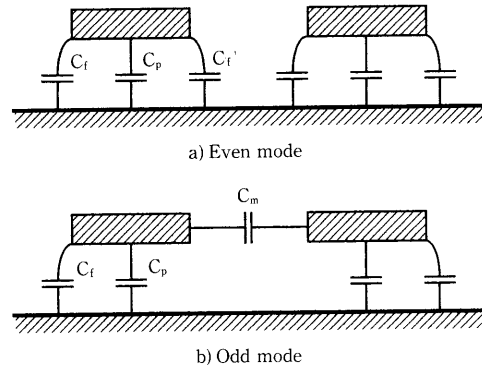


Fig.12 Capacitances in even and odd modes.

信号を入力した場合、他方の、信号が入力されていないマイクロストリップ線路にも信号が洩れて表れる(クロストークの発生)ことを意味しています。

#### 4.1 クロストークの求め方(偶モードと奇モード)

マイクロストリップ線路において、この結合の度合いを調べるには次のようにします。この場合、信号電圧は一方の線路のみに与えられるとしましょう。線路は対称なので、電波の伝搬を偶(even)モードと奇(odd)モードに分けて解析します。

偶モードとは、2本のマイクロストリップ線路に同一方向に電流が流れるようなFig.11(a)に示すモードを言います。電流の帰路はグラウンドプレーン内に鏡像として発生する2本の線路が形成しますので、その電界分布も図のように互いに独立な形となります。偶モードでの線路の特性インピーダンスを $Z_{oe}$ 、位相速度を $v_e$ とすれば、

$$Z_{oe} = \sqrt{L_e / C_e}$$

$$v_e = 1 / \sqrt{L_e C_e}$$
(6)

となります。ただし、 $L_e$ 、 $C_e$ ：偶モードでの線路の単位長さ当たりのインダクタンスおよび容量です。

一方、奇モードとは、2本のマイクロストリップ線路

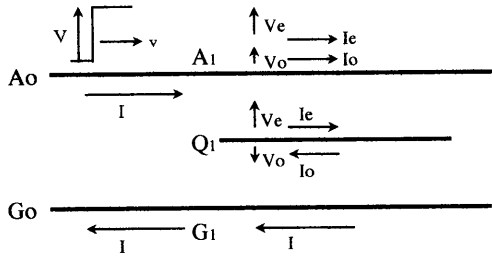


Fig. 13 Crosstalk between two open parallel lines.

に逆方向に電流が流れるような、Fig. 11(b)に示すモードを言います。この場合は2本の鏡像の線路にも互いに逆極性の電流が流れます。奇モードでの線路の特性インピーダンスを $Z_{oo}$ 、位相速度を $v_o$ とすれば、

$$Z_{oo} = \sqrt{(L_o/C_o)} \quad (7)$$

$$v_o = 1 / \sqrt{(L_o C_o)}$$

となります。ただし、 $L_o$ 、 $C_o$ ：奇モードでの線路の単位長さ当たりのインダクタンスおよび容量です。

偶モードと奇モードでの線路の容量の分布を表したのがFig. 12です。偶モードの容量 $C_e$ は、

$$C_e = C_p + C_f + C_r \quad (8)$$

です。ただし、 $C_f$ および $C_r$ はフリンジ部の容量となります。 $C_f$ と $C_r$ は等しくありません。また、奇モードの容量 $C_o$ は、

$$C_o = C_p + C_f + C_m \quad (9)$$

となります。ここで $C_m$ は2線路間の結合容量です。なお、 $C_p$ や $C_m$ は基礎的な電磁気の知識より簡単に計算することができます。

#### 4.2 結合係数<sup>4)</sup>

では具体的にクロストーク量を見積もってみましょう。これは結合係数という形で表されます。Fig. 13のグラウンドプレーン上に平行に走る2本のマイクロストリップ線路を考えます。

いま $A_o$ 点より電圧/電流ステップ ( $V$ ,  $I$ ) の信号が

入力されると、信号は線路A上に右方向に伝搬して行きます。線路AおよびQはその両端が開放されているものとし、 $A_1$ 点、 $Q_1$ 点には偶モードの電圧 ( $V_e$ )、電流 ( $I_e$ ) が等しく表れます。これに対し、奇モードの電圧 ( $V_o$ )、電流 ( $I_o$ ) は、A点とQ点では逆極性となって表れます。 $A_1$ 点、 $Q_1$ 点における電圧 $V_{A1}$ 、 $V_{Q1}$ 、電流 $I_{A1}$ 、 $I_{Q1}$ は偶モードと奇モードとの合成されたものとなりますから、

$$V_{A1} = V_e + V_o$$

$$V_{Q1} = V_e - V_o$$

$$I_{A1} = I_e + I_o$$

$$I_{Q1} = I_e - I_o \quad (10)$$

です。ここで $V_{A1} = V$ で、 $Q_1$ 点は開放端子ですから電流は流れず $I_{Q1} = 0$ 、すなわち $I_e = I_o$ となります。入力信号電圧 $V$ と、結合により $Q_1$ 点に表れる電圧 $V_{Q1}$ との比、 $K_v = V_{Q1}/V$ を結合係数と呼んでいます。(10)式と $V_e = I_e Z_{oe}$ 、 $V_o = I_o Z_{oo}$ の関係より、

$$K_v = (V_e - V_o) / (V_e + V_o)$$

$$= (I_e Z_{oe} - I_o Z_{oo}) / (I_e Z_{oe} + I_o Z_{oo})$$

$$= (Z_{oe} - Z_{oo}) / (Z_{oe} + Z_{oo}) \quad (11)$$

が成立します。これは2線路の結合度合を表す $K_v$ が、偶モードおよび奇モードでの線路の特性インピーダンスによって決まることを表しています。

#### 4.3 クロストークの発生

Fig. 14は両端が整合終端された2線路において、どのようなクロストークが発生するかを、解析するものです。中点部分で考えますと、2線路は結合容量 $C_m$ と相互インダクタンス $L_m$ により緩く結合していますので、信号 $V_{in}$ がこの中点部分に到達すると $C_m$ および $L_m$ を通して電流 $I_c$ および $I_L$ が、信号の存在しない線路の方に誘起されます。この場合 $I_c$ は線路の両側に等しく流れて行きますが、 $I_L$ は信号端に向けて右から左へと流れます。電圧では同極性の $V_c$ と逆極性の $V_L$ が図示のように移動しますので、 $I_c$ と $I_L$ が等しければ右方向の洩れ成分は互いに打ち消し

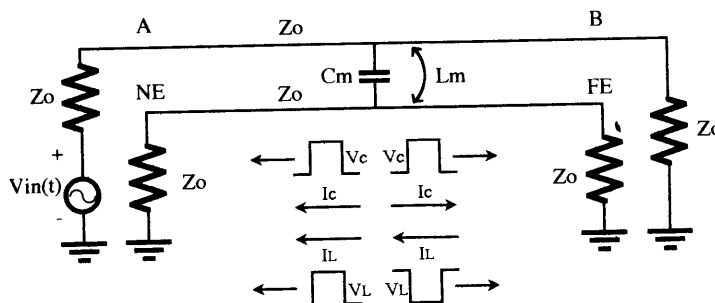


Fig. 14 Crosstalk between two terminated parallel lines.

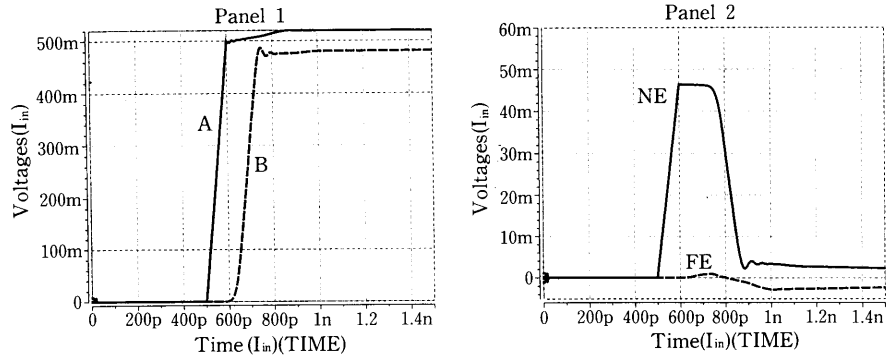


Fig. 15 Simulation result of the circuit in Fig. 14.

合って存在しないこととなります。以上のことは、マイクロストリップ線路が均一媒体中にあることを仮定した場合に成り立つことです。

信号が線路のA点よりB点に伝搬するのに要する時間を $\tau$ とすれば、図中NE点の電圧波形の変動は、信号がA点を通じた時刻に始まり、 $\tau$ 時間後にB点に到達した信号のクロストークが、さらに $\tau$ 時間かかってFEよりNEに到着するまでの時間まで続くこととなります。

以上の現象を回路シミュレーションで確認したのが、Fig. 15です。Fig. 15の左図において実線はFig. 14におけるA点の電圧波形、破線は同じくB点の電圧波形を表しています。Fig. 15の右図には実線で同NE点の電圧波形、破線でFE点の電圧波形を示しました。Fig. 15の右図波形がクロストークと言うこととなりますが、予想通りFE点にはあまり現れません。NE点に現れるクロストークの時間幅はほぼ $2\tau$ （この場合は約200ps）となっていることもわかります。なお、このシミュレーションで用いたマイクロストリップ線路の各定数はFig. 10で示すと、 $W_{sp}=20\mu\text{m}$ 、 $W_{int}=12\mu\text{m}$ 、 $H_{int}=8\mu\text{m}$ 、 $t_h=10\mu\text{m}$ 、 $\epsilon_r=3.9$ となります。

## 5. スミスチャート

最後に簡単ですが、スミスチャートの見方および使い方について述べます。

チャート上には、基本的に2種類の曲線群が描かれています。すなわちインピーダンスとアドミッタンスの曲線群です (Fig. 16)。インピーダンス・チャート（これをスミスチャートと呼ぶ）上では、等抵抗値の円と等リアクタンスの曲線が描かれています。またアドミッタンス・チャート上では、等コンダクタンスの円と等サセプタンスの曲線が描かれています。このインピーダンス・チャートおよびアドミッタンス・チャートの両方を合

せたものをイミッタンス・チャートと言いますが、実際の設計ではこのチャート (Fig. 17) が使用されます。

そこでこのイミッタンス・チャートを用いて、抵抗およびコイルより成るFig. 18の負荷の入力インピーダンスを $50\Omega$ に変換することを考えてみましょう<sup>5)</sup>。この場合、 $50\Omega$ を基準の抵抗値 (1.0と規格化します) として考えますと、負荷のインピーダンス $z_L$ は、

$$z_L = 0.2 + j0.2$$

と表されます。これを規格化インピーダンスと呼びます。

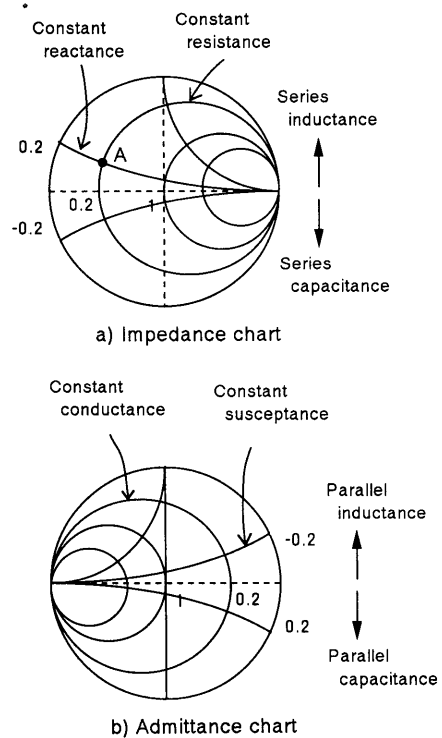


Fig. 16 Impedance and admittance charts.

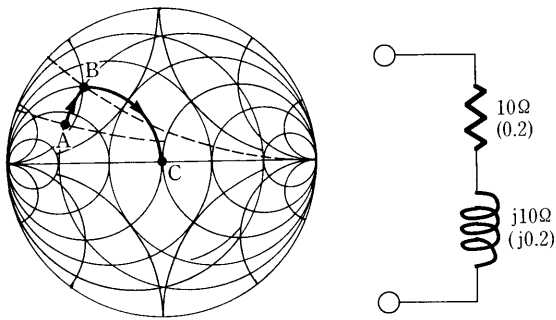


Fig. 17 The immittance chart. Fig. 18 An example load circuit.

イミッタンス・チャート上でこのインピーダンスを持つ点を探して下さい。チャート上では全て規格化された値を使用しています。抵抗成分が0.2,リアクタンス成分が正で0.2の点はFig. 16(a)でのA点,すなわちFig. 17でのA点となります。このインピーダンスを50Ωに変換するということは, Fig. 17においてA点を何とかして抵抗成分のみの1.0の点Cに移動させるということです。

この移動の方法はいくつか考えられますが,一つの方法としてA点をまずB点に移動させ,続いてC点に移動させることを考えましょう。ここでA点からB点への移動ですが,インピーダンス・チャート上で定抵抗円の上を動かして行けば良いことがわかります。コイルをFig. 18の負荷に直列に接続すると,その抵抗成分の大きさは

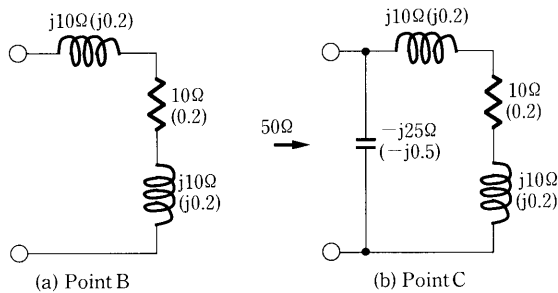


Fig. 19 Impedance conversion at point B and point C in Fig. 17.

変わらずリアクタンス成分のみ大きさが増加しますので, A点は定抵抗円の上を右側に移動します。この状態をFig. 19(a)に示します。リアクタンスは0.2だけ増大しました。

次にB点をC点に移動させます。定コンダクタンス円上を右側に移動させると良いようです。コンダクタンスは変化しないので,コイルあるいはキャパシタを接続してこの移動を行います。右方向への移動に伴い,サセプタンスがj2.0だけ変化しますので,インピーダンスに換算すると $-j0.5$ の変化とすることになります。これはFig. 19(b)のように,キャパシタを並列に接続すれば実現できます。以上より,合成回路のインピーダンスは50Ωに変換されました。

## 6. おわりに

以上,実装時の電気的特性に関する基礎的な事項を説明しました。周波数が高くなってくると,いろいろ面倒なことを考慮しなくてはならなくなりますので,参考にして頂きたいと思います。

### 参考文献

- 1) R. R. Tummala and E. J. Rymaszewski: "Microelectronics Packaging Handbook", Chapter 3, Van Nostrand Reinhold, 1989, R. R. Tummala and E.
- 2) 杉本泰博著: "よくわかるアナログ電子回路", 第3章, オーム社, 1995.
- 3) G. D. Vendelin, A. M. Pavio and U. L. Rohde: "Microwave Circuit Design Using Linear and Nonlinear Techniques", Chapter 1, John Wiley & Sons, 1990.
- 4) H. B. Bakoglu: "Circuits, Interconnections, and Packaging for VLSI", Chapter 7, Addison-Wesley, 1990.
- 5) P. C. L. Yip: "High-Frequency Circuit Design and Measurements", Chapter 4, Chapman & Hall, 1991.

### 【執筆者紹介】

杉本泰博 (すぎもと やすひろ) SHM正会員  
1973年, 東京工業大学・電気工学科卒業。同年, 働東芝入社。  
1992年, 中央大学理工学部教授, 現在に至る。工学博士, 技術士(電気電子部門)